



(19)

(11) Publication number: **2002093742 A**

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000282532

(51) Intl. Cl.: H01L 21/28 H01L 21/331 H01L 29/73  
 H01L 29/74 H01L 29/744 H01L 29/78  
 H01L 21/336 H01L 21/338 H01L 29/812  
 H01L 29/80 H01L 21/329

(22) Application date: 18.09.00

(30) Priority:

(43) Date of application publication: 29.03.02

(84) Designated contracting states:

(71) Applicant: NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL & TECHNOLOGY  
NISSAN MOTOR CO LTD(72) Inventor: OGUSHI HIDEYO  
TANIMOTO SATOSHI

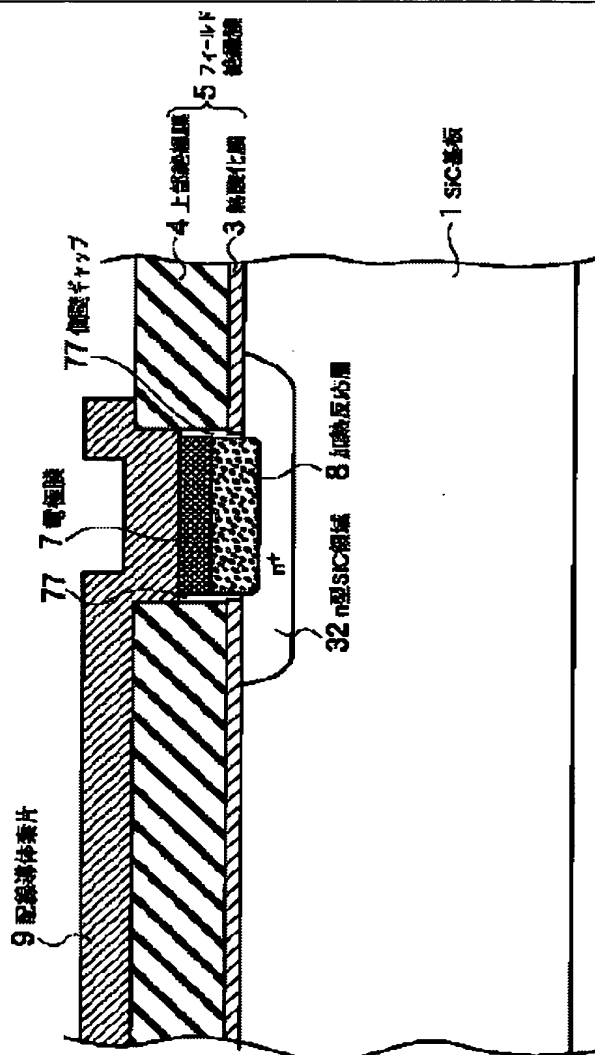
(74) Representative:

(54) OHMIC ELECTRODE STRUCTURE, ITS MANUFACTURING METHOD, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a fine and highly reliable ohmic electrode structure, having a low contact resistance of on the order of  $10^{-7} \Omega \text{cm}^2$ .

SOLUTION: A structure comprises an SiC substrate 1, an n-type SiC region 32 formed in a surface of the SiC substrate 1, a field insulating film 5 mounted on the SiC substrate 1, an electrode film 7 spaced a fixed clearance (sidewall gap) 77 apart from the field insulating film 5 inside an opening part which is opened to expose the n-type SiC region 32 in the field insulating film 5, a heating reaction layer 8 disposed between the electrode film 7 and the n-type SiC region 32 and a wiring conductor piece 9, which is in contact with the surface of the electrode layer 7 and extended up to the upper part of the field insulating film 5 inside an opening part of the field insulating film 5. The fixed clearance constituting the sidewall gap 77 is controlled to a value, which is smaller than the thickness of the field insulating film 5.



COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-93742  
(P2002-93742A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)	
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 F	4 M 1 0 4
			3 0 1 S	5 F 0 0 3
			L	5 F 0 0 5
21/331		29/78	6 5 2 L	5 F 0 4 0
29/73		29/72		5 F 1 0 2
審査請求 未請求 請求項の数20 O L (全 33 頁) 最終頁に続く				

(21) 出願番号 特願2000-282532(P2000-282532)

(22) 出願日 平成12年9月18日 (2000.9.18)

特許法第30条第1項適用申請有り 2000年9月3日 社団法人応用物理学会発行の「2000年(平成12年)秋季第61回応用物理学会学術講演会 講演予稿集 第1分冊」に発表

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成12年度新エネルギー・産業技術総合開発機構「超低損失電力素子技術開発 基盤技術開発」に係わる委託研究、産業再生特別措置法第30条の適用を受けるもの)

(71) 出願人 301021533

独立行政法人産業技術総合研究所  
東京都千代田区霞が関1-3-1

(74) 上記1名の復代理人 100083806

弁理士 三好 秀和 (外8名)

(71) 出願人 000003997

日産自動車株式会社  
神奈川県横浜市神奈川区宝町2番地

(74) 上記1名の代理人 100083806

弁理士 三好 秀和 (外8名)

(72) 発明者 大串 秀世

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

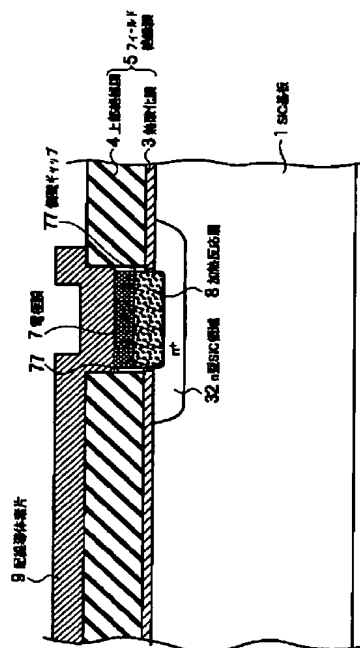
最終頁に続く

(54) 【発明の名称】 オーミック電極構造体、その製造方法、半導体装置及び半導体装置の製造方法

## (57) 【要約】

【課題】  $10^{-7} \Omega \text{cm}^2$  台程度の低いコンタクト抵抗を有する微細且つ信頼性の高いオーミック電極構造体を提供する。

【解決手段】 SiC基板1、SiC基板1の表面に形成されたn型SiC領域32、SiC基板1の上に載置されたフィールド絶縁膜5、フィールド絶縁膜5中にn型SiC領域32を露出するように開口された開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77を隔てて配置された電極膜7、電極膜7とn型SiC領域32の間に配置された加熱反応層8、フィールド絶縁膜5の開口部の内部において、電極膜7の表面に接し、且つフィールド絶縁膜5の上部にまで伸延された配線導体素片9とから構成されている。側壁ギャップ77を構成している一定の間隙は、フィールド絶縁膜5の厚みより小さい値に制御されている。



## 【特許請求の範囲】

【請求項1】 炭化珪素（SiC）基板と、

前記SiC基板の表面に選択的に形成されたn型SiC領域と、

前記SiC基板の上に載置されたフィールド絶縁膜と、  
前記フィールド絶縁膜中に前記n型SiC領域の表面を露出するように開口された開口部の内部において、前記フィールド絶縁膜から一定の間隔を隔てて配置された電極膜と、

前記開口部の内部において、前記フィールド絶縁膜から  
前記一定の間隔を隔て、且つ前記電極膜と前記n型SiC領域の間に配置された加熱反応層と、  
前記開口部の内部において前記電極膜の表面に接し、且つ前記フィールド絶縁膜の上部にまで伸延された配線導体素片とからなることを特徴とするオーミック電極構造体。

【請求項2】 前記一定の間隔は、前記フィールド絶縁膜の厚みより小なることを特徴とする請求項1記載のオーミック電極構造体。

【請求項3】 前記フィールド絶縁膜は、  
SiCの熱酸化膜と、  
該熱酸化膜とは組成若しくは密度の異なる絶縁膜からなる上部絶縁膜との積層絶縁膜からなることを特徴とする請求項1又は2記載のオーミック電極構造体。

【請求項4】 前記上部絶縁膜の絶縁破壊電界強度は、前記熱酸化膜の絶縁破壊電界強度よりも低いことを特徴とする請求項1～3のいずれか1項記載のオーミック電極構造体。

【請求項5】 前記上部絶縁膜の緩衝フッ酸溶液によるエッチング速度が、前記熱酸化膜の前記緩衝フッ酸溶液によるエッチング速度よりも速いことを特徴とする請求項1～4のいずれか1項記載のオーミック電極構造体。

【請求項6】 炭化珪素（SiC）基板の表面の少なくとも一部に高不純物密度を有するn型SiC領域を形成する工程と、

前記SiC基板の表面を洗浄する工程と、

前記SiC基板の表面をフィールド絶縁膜で被覆する工程と、

前記フィールド絶縁膜の上部に前記フィールド絶縁膜とはエッチング速度の異なるマスク材を形成する工程と、  
前記マスク材に窓部を設け、マスクパターンを形成する工程と、

該マスクパターンを用い、前記フィールド絶縁膜を前記n型SiC領域の表面が露出するまでエッチングし開口部を形成する工程と、

前記n型SiC領域の表面が露出後、更に前記フィールド絶縁膜をオーバーエッチングし、前記窓部近傍の前記マスク材の下部にアンダーカット部を形成する工程と、  
前記マスク材の上部及び前記開口部の内部の前記n型SiC領域の表面に、第1の導体膜を堆積する工程と、

前記マスク材を除去することにより、前記前記開口部の内部の前記n型SiC領域の表面に、前記フィールド絶縁膜とは一定の間隔を隔て、前記第1の導体膜の素片を残留させる工程と、

非酸化性雰囲気中において、前記SiC基板を熱処理し、前記第1の導体膜の素片と前記n型SiC領域との間に加熱反応層を生成する工程とを有することを特徴とするオーミック電極構造体の製造方法。

【請求項7】 前記フィールド絶縁膜で被覆する工程は、

熱酸化により、前記SiC基板の表面に熱酸化膜を成長する工程と、

該熱酸化膜の上部に、熱酸化以外の方法で、絶縁膜を堆積する工程とからなることを特徴とする請求項6記載のオーミック電極構造体の製造方法。

【請求項8】 前記フィールド絶縁膜で被覆する工程は、

熱酸化以外の方法で、前記SiC基板の表面に酸素透過性絶縁膜を堆積する工程と、

該酸素透過性絶縁膜の堆積後に、熱酸化により、前記SiC基板の表面と前記酸素透過性絶縁膜との界面に、熱酸化膜を成長する工程とからなることを特徴とする請求項6記載のオーミック電極構造体の製造方法。

【請求項9】 前記マスク材を形成する工程は、フォトリソを塗布する工程であることを特徴とする請求項6～8のいずれか1項記載のオーミック電極構造体の製造方法。

【請求項10】 前記フィールド絶縁膜に開口部を形成する工程において、前記n型SiC領域の表面が露出するに直前のステップは、ウェットエッチングと超純水によるリンスで完結されることを特徴とする請求項9記載のオーミック電極構造体の製造方法。

【請求項11】 前記第1の導体膜の厚みは、前記n型SiC領域の厚みの1/2より薄いことを特徴とする請求項6～10のいずれか1項記載のオーミック電極構造体の製造方法。

【請求項12】 前記加熱反応層を生成する工程は、酸素（O<sub>2</sub>）及び水（H<sub>2</sub>O）の分圧が共に $1 \times 10^{-3}$  Pa～ $1 \times 10^{-10}$  Paの非酸化性雰囲気中において、前記SiC基板を熱処理することを特徴とする請求項6～11のいずれか1項記載のオーミック電極構造体の製造方法。

【請求項13】 前記第1の導体膜の素片に接し、且つ、前記フィールド絶縁膜の開口部を被覆するように、前記フィールド絶縁膜の上部に第2の導体膜を形成する工程を更に有することを特徴とする請求項6～11のいずれか1項記載のオーミック電極構造体の製造方法。

【請求項14】 前記第2の導体膜を形成する直前に、前記第1の導体膜の素片の表面に生成された酸化膜或いは付着したハイドロ・カーボンを除去する工程を付加し

たことを特徴とする請求項13記載のオーミック電極構造体の製造方法。

【請求項15】 炭化珪素(SiC)基板と、  
前記SiC基板の表面に選択的に形成されたn型SiC領域からなる主電極領域と、  
前記SiC基板の上に載置されたフィールド絶縁膜と、  
前記フィールド絶縁膜中に前記主電極領域の表面を露出するように開口された開口部の内部において、前記フィールド絶縁膜から一定の間隙を隔てて配置された電極膜と、  
前記開口部の内部において、前記フィールド絶縁膜から前記一定の間隙を隔て、且つ前記電極膜と前記主電極領域の間に配置された加熱反応層と、  
前記開口部の内部において前記電極膜の表面に接し、且つ前記フィールド絶縁膜の上部にまで伸延された主電極配線とからなることを特徴とする半導体装置。

【請求項16】 前記一定の間隙は、前記フィールド絶縁膜の厚みより小なることを特徴とする請求項15記載の半導体装置。

【請求項17】 炭化珪素(SiC)基板の表面の少なくとも一部に高不純物密度のn型SiC領域からなる主電極領域を形成する工程と、  
前記SiC基板の表面を洗浄する工程と、  
前記SiC基板の表面をフィールド絶縁膜で被覆する工程と、  
前記フィールド絶縁膜の上部に前記フィールド絶縁膜とはエッチング速度の異なるマスク材を形成する工程と、  
前記マスク材に窓部を設け、マスクパターンを形成する工程と、  
該マスクパターンを用い、前記フィールド絶縁膜を前記主電極領域の表面が露出するまでエッチングし開口部を形成する工程と、  
前記主電極領域の表面が露出後、更に前記フィールド絶縁膜をオーバーエッチングし、前記窓部近傍の前記マスク材の下部にアンダーカット部を形成する工程と、  
前記マスク材の上部及び前記開口部の内部の前記主電極領域の表面に、第1の導体膜を堆積する工程と、  
前記マスク材を除去することにより、前記前記開口部の内部の前記主電極領域の表面に、前記フィールド絶縁膜とは一定の間隙を隔て、前記第1の導体膜の素片を残留させる工程と、  
非酸化性雰囲気中において、前記SiC基板を熱処理し、前記第1の導体膜の素片と前記主電極領域との加熱反応層を生成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項18】 前記フィールド絶縁膜で被覆する工程は、  
熱酸化により、前記SiC基板の表面に熱酸化膜を成長する工程と、  
該熱酸化膜の上部に、熱酸化以外の方法で、絶縁膜を堆

積する工程とからなることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】 前記熱酸化膜を成長する工程の後に、前記熱酸化膜の上部に、ゲート電極を形成する工程を更に有することを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 前記第1の導体膜の厚みは、前記主電極領域の厚みの1/2より薄いことを特徴とする請求項17～19のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素(SiC)基板を使用した半導体装置、及び半導体装置の製造方法に係り、更に、このSiC半導体装置に利用されるn型SiC領域に対するオーミック電極構造体及びその製造方法に関するものである。

【0002】

【従来の技術】SiCは、pn接合の形成が可能で、珪素(Si)や砒化ガリウム(GaAs)等の他の半導体材料に比べて禁制帯幅 $E_g$ が広く3C-SiCで2.23eV、6H-SiCで2.93eV、4H-SiCで3.26eV程度の値が報告されている。また、SiCは、熱的、化学的、機械的に安定で、耐放射線性にも優れているので、発光素子や高周波デバイスは勿論のこと、高温、大電力、放射線照射等の過酷な条件で、高い信頼性と安定性を示す電力用半導体装置(パワーデバイス)として様々な産業分野での適用が期待されている。

【0003】特に、SiCを用いた高耐压のMOSFETは、Siを用いたパワーデバイスよりもオン抵抗が低いことが報告されている。また、SiCを用いたショットキーダイオードの順方向降下電圧が低くなることが報告されている。良く知られているように、パワーデバイスのオン抵抗とスイッチング速度とは、トレード・オフ関係にある。しかし、SiCを用いたパワーデバイスによれば、低オン抵抗化と高速スイッチング速度化が同時に達成出来る可能性がある。

【0004】このSiCを用いたパワーデバイスの低オン抵抗化には、オーミック・コンタクトに対するコンタクト抵抗 $\rho_c$ の低減が重要な要素である。特に、低オン抵抗化のためには、パワーデバイスの主電極領域を細分化し、高密度にSiC基板上に配列する方法も採用される。このような、微細寸法化されたパワーデバイスの低オン抵抗化には、微細な開口部(コンタクト・ウィンドウ)の内部において、低いコンタクト抵抗 $\rho_c$ を得ることが極めて重要となってくる。また、パワーデバイス的高速スイッチング速度化のためにも、SiC領域に対するオーミック・コンタクトのコンタクト抵抗 $\rho_c$ は大きな問題である。

【0005】SiC青色発光素子が既に実用化され量産

されているのとは対称的に、パワーデバイス、高周波デバイスとしてのSiCの応用は甚だ遅れている。この原因の一つは、これらデバイスの構造及び作製プロセスに適合した実用的な低抵抗のオーミック・コンタクトを形成する技術が未だに確立されていないからである。

【0006】n型SiCに低抵抗オーミック・コンタクトを形成する方法として広く活用されている従来技術は、ニッケル(Ni)、タングステン(W)、チタン(Ti)のような電極膜をn型SiCに被着させて形成したオーミック電極構造体を800℃～1200℃の高

温で熱処理する方法である。なかでもNiを用いたオーミック・コンタクトでは $10^{-8} \Omega \cdot \text{cm}^2$  台の実用的なコンタクト抵抗値 $\rho_c$ が得られており、極めて有望なオーミック・コンタクトである。

【0007】図24はパワーデバイスや高周波デバイスなどで使用されるNi膜を用いたオーミック電極構造体の構造(以下において、「第1の従来技術」という。)を簡略化して示したものである。単結晶SiC基板1の表面に高不純物密度のn型SiC領域32が形成されている。この単結晶SiC基板1の表面には、更に熱酸化膜3及び上部絶縁膜4からなるフィールド絶縁膜5が形成されている。このフィールド絶縁膜5を貫通し、n型SiC領域32の表面を露出するように、開口部が配置されている。フィールド絶縁膜5の開口部の内部には、n型SiC領域32の表面に接した加熱反応層8と、この加熱反応層8の上部の電極膜(Ni膜素片)47が配置されている。加熱反応層8は、Ni膜を全面蒸着し、フォトリソグラフィとエッチングを用いて、図24に示す形状に、パターニングした後、熱処理することにより形成される。即ち、電極膜(Ni膜素片)47を設けたSiC基板1を、1000℃～1200℃で高温処理することにより、Ni-Si-Cが混合した導電性の加熱反応層8が形成される。電極膜(Ni膜素片)47の上部には、フィールド絶縁膜5の上部に延伸するように配線導体素片9が配置されている。

【0008】第1の従来技術は、後述するような問題点を有している。そこで、この第1の従来技術の問題を解決するため、特開平8-64801号公報では、イオン注入で形成したn型SiC領域32に対するオーミック電極の形成法を開示している(以下において、「第2の従来技術」という。)。第2の従来技術に記載の方法は、

(イ) 図25(a)に示すように第1金属膜(Ni膜)42をSi酸化膜(フィールド絶縁膜)43と隔絶するように開口部内に配置する；

(ロ) その後、高温熱処理を実施し、図25(b)に示すようにオーミック接触片45を生成する；

(ハ) 最後に、図25(c)に示すように、オーミック接触片45及び露出したn型SiC領域32の表面に対して、第2金属膜を接続する、という手順による方法で

ある。

【0009】

【発明が解決しようとする課題】先ず、図24に示す第1の従来技術によるn型SiC領域32に対するオーミック電極構造体にあつては、

1) Ni膜47とフィールド絶縁膜5の接着力が弱く、しばしば蒸着後にNi膜47が剥落するため、製造歩留まりが悪い；

2) Ni膜47との接触面にあるフィールド絶縁膜(SiO<sub>2</sub>膜)5が、高温熱処理でNi膜47と反応し(還元され)、SiO<sub>2</sub>膜5が浸食され、薄くなる。SiO<sub>2</sub>膜5が、もともと薄い場合は、SiO<sub>2</sub>膜5の絶縁性が損なわれ、はなはだしい場合は、SiO<sub>2</sub>膜5が貫通する；

3) Ni-Si-C-SiO<sub>2</sub>が共存し、3元素系の反応が生じる加熱反応層8の外縁コーナ部S<sub>1</sub>、S<sub>2</sub>直下においては、高温熱処理により、寄生のショットキー接合が形成され、水平方向の電流の流れを阻害する；

4) 高温熱処理で電極膜(Ni膜素片)47の表面が激しく荒れ、表面モホロジーが低下する。このため、フォトリソグラフィ工程用のアライメント・マークが、同様なNi膜47を有する構造であれば、その形成が困難となる。従って、後続の工程において高精度なフォトリソグラフィならびにエッチングが出来ない；

5) 高温熱処理で電極膜(Ni膜素片)47表面に、NiOやSiO<sub>2</sub>等の酸化膜や hidro・カーボンが生じ、電極膜(Ni膜素片)47と配線導体素片9間のコンタクト抵抗が実質的に、上昇するという問題があった。

【0010】第2の従来技術では、この第1の従来技術の問題点のうち、2)と3)の問題を解決する方法である。即ち、オーミック接触片45がSi酸化膜(フィールド絶縁膜)43と隔絶しており、露出したn型SiC領域32の表面に接している第2金属膜は、熱処理しないので、第1の従来技術のNi-Si-C-SiO<sub>2</sub>の共存に起因した寄生のショットキー接合が形成されないという特徴を有する。

【0011】しかし、第2の従来技術は、図25(a)に示す開口部内に、第1金属膜(Ni膜)42をSi酸化膜(フィールド絶縁膜)43と隔絶してパターニングする具体的な方法がなんら開示されていない。通例、このような場合、用いられる方法は、SiC基板1全面にNi膜を全面蒸着し、フォトリソグラフィとNiのエッチングを用いて、開口部の内部に選択的に第1金属膜(Ni膜)42を配設する方法である。しかし、第2の従来技術とこの方法の組み合わせでは基本的に1)、4)、5)の問題を解決することは出来ない。

【0012】更に、第1金属膜(Ni膜)42のパターニング工法において独立したフォトリソグラフィ工程を用いているために、露光装置(マスクアライナー)の合

わせ精度及び第1金属膜(Ni膜)42のエッチング加工精度を考慮すると、オーミック接触片45とSi酸化膜(フィールド絶縁膜)43の開口部側壁との間隔のトレランスを十分大きくとらなければならないという問題がある。これは、集積密度が高く、微細なオーミック電極構造体の製作を困難にするという問題に結びつく。ひいては、デバイス寸法やチップ面積が増大する、半導体装置の生産コスト(チップ単価)が上昇するという問題に連鎖する。

【0013】本発明はこのような従来のn型SiC領域10に対するオーミック電極構造体、及びこれを用いた半導体装置の問題点をそれぞれ、或いは、同時に解決するためになされたものである。

【0014】具体的には、本発明は、 $10^{-7}\Omega\text{cm}^2$  台程度の実用的なコンタクト抵抗を有するn型SiC領域に対する微細なオーミック電極構造体の新規な構造を提供することを目的とする。

【0015】本発明の他の目的は、表面金属配線(配線導体素片)とフィールド絶縁膜の接着力が良好で、信頼性の高いオーミック電極構造体の新規な構造を提供することである。20

【0016】本発明の更に他の目的は、フィールド絶縁膜の絶縁性が維持出来、高耐圧、低リーク電流のオーミック電極構造体の新規な構造を提供することである。

【0017】本発明の更に他の目的は、オーミック電極の外縁部に寄生ショットキー接合が存在しないオーミック電極構造体の新規な構造を提供することである。

【0018】本発明の更に他の目的は、電極膜の表面モホロジーが良好なオーミック電極構造体の新規な構造を提供することである。30

【0019】本発明の更に他の目的は、微細な寸法精度を有したオーミック電極構造体を提供することである。

【0020】本発明の更に他の目的は、導体膜堆積後に表面金属配線の剥落等の不良が抑制され、製造歩留まりの高いオーミック電極構造体の製造方法を提供することである。

【0021】本発明の更に他の目的は、オーミック電極の母材となる導体膜とフィールド絶縁膜との浸食反応(還元反応)が有効に回避出来るオーミック電極構造体の製造方法を提供することである。40

【0022】本発明の更に他の目的は、オーミック電極の母材となる導体膜、SiC及びフィールド絶縁膜との3元系の反応が回避されるオーミック電極構造体の製造方法を提供することである。

【0023】本発明の更に他の目的は、高温熱処理を経た後でも、電極膜の表面モホロジーが良好なオーミック電極構造体の製造方法を提供することである。

【0024】本発明の更に他の目的は、フォトリソグラフィ工程用のアライメント・マークの形態に影響を与えず、後続の工程において高精度なフォトリソグラフィな 50

らびにエッチングを容易にするなオーミック電極構造体の製造方法を提供することである。

【0025】本発明の更に他の目的は、高温熱処理を経た後でも、電極膜の表面に、酸化膜や hidro・カーボンが生じず、電極膜と配線導体素片間のコンタクト抵抗を低く維持出来るオーミック電極構造体の製造方法を提供することである。

【0026】本発明の更に他の目的は、フォトリソグラフィ工程における露光装置の合わせ精度及びエッチング加工精度に影響されずに、電極膜(オーミック接触片)とフィールド絶縁膜の開口部側壁との間隔を十分に微細化することが可能なオーミック電極構造体の製造方法を提供することである。

【0027】本発明の更に他の目的は、微細な寸法精度を有したオーミック電極構造体が簡単に製造出来るオーミック電極構造体の製造方法を提供することである。

【0028】本発明の更に他の目的は、高耐圧且つ高速動作可能な半導体装置を提供することである。

【0029】本発明の更に他の目的は、オン抵抗が低く、且つ高速スイッチング可能な半導体装置を提供することである。

【0030】本発明の更に他の目的は、チップ占有面積が小さく、チップ単価が低く、且つ信頼性の高い半導体装置を提供することである。

【0031】本発明の更に他の目的は、表面金属配線の剥落等の不良が抑制され、製造歩留まりの高い半導体装置の製造方法を提供することである。

【0032】本発明の更に他の目的は、オーミック電極の母材となる導体膜とフィールド絶縁膜との高温熱処理での浸食反応(還元反応)が有効に回避出来、且つ導体膜、SiC及びフィールド絶縁膜との3元系の反応をも回避出来る半導体装置の製造方法を提供することである。

【0033】本発明の更に他の目的は、高温熱処理を経た後でも、電極膜の表面モホロジーが良好で、フォトリソグラフィ工程用のアライメント・マークの形態に影響を与えず、後続の工程において高精度なフォトリソグラフィならびにエッチングが可能な半導体装置の製造方法を提供することである。

【0034】本発明の更に他の目的は、高温熱処理を経た後でも、電極膜の表面に、酸化膜や hidro・カーボンが生じず、電極膜と配線導体素片間のコンタクト抵抗を低く維持出来る半導体装置の製造方法を提供することである。

【0035】本発明の更に他の目的は、電極膜(オーミック接触片)とフィールド絶縁膜の開口部側壁との間隔を十分に微細化し、微細な寸法精度を有したオーミック電極構造体が簡単に製造出来る半導体装置の製造方法を提供することである。

【0036】本発明の更に他の目的は、チップ面積の縮

小が可能で、チップ単価が低く出来る半導体装置の製造方法を提供することである。

【0037】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、(イ)SiC基板と、

(ロ)SiC基板の表面に選択的に形成されたn型SiC領域と、(ハ)SiC基板の上に載置されたフィールド絶縁膜と、(ニ)フィールド絶縁膜中にn型SiC領域の表面を露出するように開口された開口部(コンタクト・ウィンドウ)の内部において、フィールド絶縁膜から一定の間隙を隔てて配置された電極膜と、(ホ)フィールド絶縁膜の開口部の内部において、フィールド絶縁膜から一定の間隙を隔て、且つ電極膜とn型SiC領域の間に配置された加熱反応層と、(ヘ)フィールド絶縁膜の開口部の内部において、電極膜の表面に接し、且つフィールド絶縁膜の上部にまで伸延された配線導体素片とからなるオーミック電極構造体であることを要旨とする。請求項1記載の発明によれば、電極膜及び加熱反応層が共に、フィールド絶縁膜の開口部の内部において、フィールド絶縁膜から一定の間隙を隔て配置されているので、電極膜及び加熱反応層を構成する金属材料が、フィールド絶縁膜と反応することが防止出来る。更に、加熱反応層の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来る。

【0038】なお、請求項1に規定する「SiC基板の表面に選択的に形成されたn型SiC領域」は、SiC基板の表面に、直接n型SiC領域が形成される場合のみに限定されないことは勿論である。例えば、SiC基板の表面の一部に、n型SiC領域よりも平面上の面積の大きい他の半導体領域をウェル形状に配置し、そのウェル形状の半導体領域の内部の位置において、本発明のn型SiC領域が形成されていても良い。或いは、SiC基板の表面の全面に他の半導体領域をエピタキシャル成長し、そのエピタキシャル成長した他の半導体領域の表面の一部において、本発明のn型SiC領域を形成するような場合も許容される。このように、請求項1記載に係る発明においては、n型SiC領域が他の半導体領域を介して、間接的に形成される場合を許容することに留意すべきである。

【0039】請求項2記載の発明は、請求項1記載のオーミック電極構造体において、一定の間隙は、フィールド絶縁膜の厚みより小なることを要旨とする。

【0040】請求項3記載の発明は、請求項1又は2記載のオーミック電極構造体において、フィールド絶縁膜は、SiCの熱酸化膜と、この熱酸化膜とは組成若しくは密度の異なる絶縁膜からなる上部絶縁膜との積層絶縁膜からなることを要旨とする。

【0041】請求項4記載の発明は、請求項1～3のいずれか1項記載のオーミック電極構造体において、上部

絶縁膜の絶縁破壊電界強度は、熱酸化膜の絶縁破壊電界強度よりも低いことを要旨とする。

【0042】請求項5記載の発明は、請求項1～4のいずれか1項記載のオーミック電極構造体において、上部絶縁膜の緩衝フッ酸溶液(BHF溶液)によるエッチング速度が、熱酸化膜の緩衝フッ酸溶液によるエッチング速度よりも速いことを要旨とする。「BHF溶液」とは、フッ化アンモニウム(NH<sub>4</sub>F):フッ酸(HF)=7:1の溶液からなる当業者周知のシリコン酸化膜(SiO<sub>2</sub>膜)のエッチング液(エッチャント)である。

【0043】請求項6記載の発明は、(イ)SiC基板の表面の少なくとも一部に高不純物密度を有するn型SiC領域を形成する工程と、(ロ)SiC基板の表面を洗浄する工程と、(ハ)SiC基板の表面をフィールド絶縁膜で被覆する工程と、(ニ)フィールド絶縁膜の上部にフィールド絶縁膜とはエッチング速度の異なるマスク材を形成する工程と、(ホ)マスク材に窓部を設け、マスクパターンを形成する工程と、(ヘ)このマスクパターンを用い、フィールド絶縁膜をn型SiC領域の表面が露出するまでエッチングし開口部を形成する工程と、(ト)n型SiC領域の表面が露出後、更にフィールド絶縁膜をオーバーエッチングし、窓部近傍のマスク材の下部にアンダーカット部を形成する工程と、(チ)マスク材の上部及び開口部の内部のn型SiC領域の表面に、第1の導体膜を堆積する工程と、(リ)マスク材を除去することにより、開口部の内部のn型SiC領域の表面に、フィールド絶縁膜とは一定の間隙を隔て、第1の導体膜の素片を残留させる工程と、(ヌ)非酸化性雰囲気中において、SiC基板を熱処理し、第1の導体膜の素片とn型SiC領域との間に加熱反応層を生成する工程とを有するオーミック電極構造体の製造方法であることを要旨とする。請求項6記載の発明によれば、フィールド絶縁膜の「オーバーエッチング(スライト・エッチング)」のエッチング量の制御により、窓部近傍のマスク材の下部に形成されるアンダーカット部の深さが制御出来る。また、このアンダーカット部の深さにより、第1の導体膜の素片とフィールド絶縁膜との一定の間隙を自己整合的に決定出来る。請求項1と同様に、請求項6に規定する「SiC基板の表面の少なくとも一部に高不純物密度を有するn型SiC領域を形成する工程」は、SiC基板の表面に、直接n型SiC領域を形成する場合のみに限定されない。例えば、SiC基板の表面の一部に他の半導体領域をウェル形状に形成し、そのウェル形状の半導体領域の内部にn型SiC領域を形成しても良い。或いは、SiC基板の表面の全面に他の半導体領域をエピタキシャル成長し、そのエピタキシャル成長した半導体領域の表面の一部にn型SiC領域を形成するような工程も許容される。

【0044】請求項7記載の発明は、請求項6記載のオーミック電極構造体の製造方法において、フィールド絶

縁膜で被覆する工程は、熱酸化により、SiC基板の表面に熱酸化膜を成長する工程と、この熱酸化膜の上部に、熱酸化以外の方法で、絶縁膜を堆積する工程とからなることを要旨とする。

【0045】請求項8記載の発明は、請求項6記載のオーミック電極構造体の製造方法において、フィールド絶縁膜で被覆する工程は、熱酸化以外の方法で、SiC基板の表面に酸素透過性絶縁膜を堆積する工程と、この酸素透過性絶縁膜の堆積後に、熱酸化により、SiC基板の表面と酸素透過性絶縁膜との界面に、熱酸化膜を成長する工程とからなることを要旨とする。

【0046】請求項9記載の発明は、請求項6～8のいずれか1項記載のオーミック電極構造体の製造方法において、マスク材を形成する工程は、フォトリソを塗布する工程であることを要旨とする。

【0047】請求項10記載の発明は、請求項9記載のオーミック電極構造体の製造方法が、フィールド絶縁膜に開口部を形成する工程において、n型SiC領域の表面が露出するに直前のステップは、ウェットエッチングと超純水によるリンスで完結されることを要旨とする。

【0048】請求項11記載の発明は、請求項6～10のいずれか1項記載のオーミック電極構造体の製造方法において、第1の導体膜の厚みは、n型SiC領域の厚みの1/2より薄いことを要旨とする。請求項11記載の発明によれば、加熱反応層を形成する前の第1の導体膜の素片の厚みが、その下部にあるn型SiC領域の厚みの1/2より薄くなるように、予め設定されているので、SiC基板の熱処理により、仮に第1の導体膜の素片が完全に加熱反応層に転化したとしても、n型SiC領域が消失することはない。

【0049】請求項12記載の発明は、請求項6～11のいずれか1項記載のオーミック電極構造体の製造方法において、加熱反応層を生成する工程は、酸素( $O_2$ )及び水( $H_2O$ )の分圧が共に $1 \times 10^{-8}$  Pa～ $1 \times 10^{-10}$  Paの非酸化性雰囲気中でSiC基板を熱処理することを要旨とする。請求項12記載の発明によれば、酸素及び水の分圧が共に $1 \times 10^{-8}$  Pa～ $1 \times 10^{-10}$  Paに制御された非酸化性雰囲気中で熱処理して、加熱反応層を生成しているため、加熱反応層生成のための高温熱処理で、第1の導体膜の素片の表面に酸化膜が生じることを防止出来る。

【0050】請求項13記載の発明は、請求項6～11のいずれか1項記載のオーミック電極構造体の製造方法において、第1の導体膜の素片に接し、且つ、フィールド絶縁膜の開口部を被覆するように、フィールド絶縁膜の上部に第2の導体膜を形成する工程を更に有することを要旨とする。

【0051】請求項14記載の発明は、請求項13記載のオーミック電極構造体の製造方法において、第2の導体膜を形成する直前に、第1の導体膜の素片の表面に生

成された酸化膜或いは付着したハイドロ・カーボンを除去する工程を付加したことを要旨とする。

【0052】請求項15記載の発明は、(イ)SiC基板と、(ロ)SiC基板の表面に選択的に形成されたn型SiC領域からなる主電極領域と、(ハ)SiC基板の上に載置されたフィールド絶縁膜と、(ニ)フィールド絶縁膜中に主電極領域の表面を露出するように開口された開口部の内部において、フィールド絶縁膜から一定の間隙を隔てて配置された電極膜と、(ホ)フィールド絶縁膜の開口部の内部において、フィールド絶縁膜から一定の間隙を隔て、且つ電極膜と主電極領域の間に配置された加熱反応層と、(ヘ)フィールド絶縁膜の開口部の内部において、電極膜の表面に接し、且つフィールド絶縁膜の上部にまで延伸された主電極配線とからなる半導体装置であることを要旨とする。請求項15記載の発明において、「主電極領域」とは半導体装置の主電流の通路の両端にそれぞれ位置し、互いに対向した半導体領域の少なくとも一方である。請求項15記載の発明によれば、主電極領域に対するオーミック電極を構成する電極膜及び加熱反応層が共に、フィールド絶縁膜の開口部の内部において、フィールド絶縁膜から一定の間隙を隔て配置されているので、電極膜及び加熱反応層を構成する金属材料が、フィールド絶縁膜と反応することが防止出来る。更に、オーミック電極の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来る。請求項1において説明したように、請求項15に規定する「SiC基板の表面に選択的に形成されたn型SiC領域からなる主電極領域」は、SiC基板の表面に、直接n型SiC領域からなる主電極領域が形成される場合にみに限定されない。例えば、SiC基板の表面の一部に他の半導体領域をウェル形状に配置し、そのウェル形状の半導体領域の内部に主電極領域が形成されていても良い。或いは、SiC基板の表面の全面に他の半導体領域をエピタキシャル成長し、そのエピタキシャル成長した半導体領域の表面の一部に主電極領域を形成するような場合も許容される。

【0053】請求項16記載の発明は、請求項15記載の半導体装置において、一定の間隙は、フィールド絶縁膜の厚みより小なることを要旨とする。

【0054】請求項17記載の発明は、(イ)SiC基板の表面の少なくとも一部に高不純物密度のn型SiC領域からなる主電極領域を形成する工程と、(ロ)SiC基板の表面を洗浄する工程と、(ハ)SiC基板の表面をフィールド絶縁膜で被覆する工程と、(ニ)フィールド絶縁膜の上部にフィールド絶縁膜とはエッチング速度の異なるマスク材を形成する工程と、(ホ)マスク材に窓部を設け、マスクパターンを形成する工程と、

(ヘ)このマスクパターンを用い、フィールド絶縁膜を主電極領域の表面が露出するまでエッチングし開口部を



形成する工程と、(ト)主電極領域の表面が露出後、更にフィールド絶縁膜をオーバーエッチングし、窓部近傍のマスク材の下部にアンダーカット部を形成する工程と、(チ)マスク材の上部及び開口部の内部の主電極領域の表面に、第1の導体膜を堆積する工程と、(リ)マスク材を除去することにより、開口部の内部の主電極領域の表面に、フィールド絶縁膜とは一定の間隙を隔て、第1の導体膜の素片を残留させる工程と、(ヌ)非酸化性雰囲気中において、SiC基板を熱処理し、第1の導体膜の素片と主電極領域との加熱反応層を生成する工程とを有する半導体装置の製造方法であることを要旨とする。請求項17記載の発明の「主電極領域」とは、請求項15記載の発明で定義したように、半導体装置の主電流の通路の両端に位置する半導体領域である。請求項17記載の発明によれば、半導体装置の主電極領域に対するオーミック電極を形成する際に、フィールド絶縁膜のオーバーエッチング(スライト・エッチング)のエッチング量の制御により、窓部近傍のマスク材の下部に形成されるアンダーカット部の深さが制御出来る。また、このアンダーカット部の深さにより、第1の導体膜の素片とフィールド絶縁膜との一定の間隙を自己整合的に決定出来る。請求項15と同様に、請求項17に規定する「SiC基板の表面の少なくとも一部に高不純物密度のn型SiC領域からなる主電極領域を形成する工程」は、SiC基板の表面に、直接n型SiC領域からなる主電極領域を形成する場合のみに限定されない。例えば、SiC基板の表面の一部に、他の半導体領域をウェル形状に形成し、そのウェル形状の半導体領域の内部に主電極領域を形成しても良い。或いは、SiC基板の表面の全面に他の半導体領域をエピタキシャル成長し、その半導体領域の表面の一部に主電極領域を形成するような工程でも良い。

【0055】請求項18記載の発明は、請求項17記載の半導体装置の製造方法において、フィールド絶縁膜で被覆する工程は、熱酸化により、SiC基板の表面に熱酸化膜を成長する工程と、この熱酸化膜の上部に、熱酸化以外の方法で、絶縁膜を堆積する工程とからなることを要旨とする。

【0056】請求項19記載の発明は、請求項18記載の半導体装置の製造方法において、熱酸化膜を成長する工程の後に、熱酸化膜の上部に、ゲート電極を形成する工程を更に有することを要旨とする。

【0057】請求項20記載の発明は、請求項17～19のいずれか1項記載の半導体装置の製造方法において、第1の導体膜の厚みは、主電極領域の厚みの1/2より薄いことを要旨とする。

【0058】

【発明の効果】請求項1記載の発明によれば、電極膜及び加熱反応層を構成する金属材料が、フィールド絶縁膜と反応することが防止され、金属材料との接触面にある

フィールド絶縁膜が高温熱処理で還元(浸食)されることがないので、フィールド絶縁膜の絶縁性が維持出来る。また、電極膜を構成する金属材料がフィールド絶縁膜に接していないので、電極膜とフィールド絶縁膜の接着力が弱いという問題は、本来的に存在しない。このため、製造プロセス終了後に電極膜が剥落することなく、製造歩留まりが高くなる。更に、加熱反応層の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来るので、低いコンタクト抵抗が達成出来る。また、寄生のショットキー接合の生成に伴うn型SiC領域の水平方向の電流の流れの阻害もない。

【0059】請求項2記載の発明によれば、電極膜及び加熱反応層の周縁部と開口部側壁との間の間隙を、フィールド絶縁膜の厚みより小さい微細寸法としたため、オーミック電極構造体の占有面積を小さく出来る。

【0060】請求項3記載の発明によれば、フィールド絶縁膜の下部に、SiCの酸化膜を有している。SiCの熱酸化膜は、Siの熱酸化膜に近いシリコン酸化膜(SiO<sub>2</sub>膜)であり、SiCとの界面準位が少なく、高い絶縁破壊電界強度が維持出来る。また、熱酸化膜とは組成若しくは密度の異なる絶縁膜からなる上部絶縁膜と熱酸化膜との積層構造にしているため、熱酸化膜の厚さを薄く設定できる。このため、過剰な熱酸化による表面モホロジーの低下もない。表面モホロジーが良好であるため、良好な金属・半導体接合が保証できる。従って、界面準位に起因した寄生トランジスタの生成が抑制され、信頼性の高いフィールド絶縁膜の開口部に、低いコンタクト抵抗のオーミック電極構造体を構成出来る。

【0061】SiCの熱酸化膜の絶縁破壊電界強度は、厚さ10nmで14MV/cm程度である。熱酸化以外の方法で形成したSiO<sub>2</sub>膜の絶縁破壊電界強度は、この値よりも小さい。即ち、請求項4記載に係る発明によれば、SiCの熱酸化膜以外の種々の絶縁膜を、SiCの熱酸化膜の上部に形成して、半導体装置の仕様として要求される耐圧を確保しつつ、低い界面準位と良好な表面モホロジーを有したフィールド絶縁膜の開口部に、オーミック電極構造体を構成出来る。

【0062】上記のように、SiCの熱酸化膜は、Si熱酸化膜に近いSiO<sub>2</sub>膜であるので、BHF溶液に対するエッチング速度は100nm/分程度である。これに比し、CVDで堆積したSiO<sub>2</sub>膜に対するエッチング速度は1.5倍から3倍位高い。即ち、請求項5記載に係る発明によれば、SiCの熱酸化膜以外の種々のSiO<sub>2</sub>膜を、SiCの熱酸化膜の上部に形成しているため、要求される耐圧、低い界面準位、表面の安定性、良好な表面モホロジーを有したフィールド絶縁膜の開口部に、所望のオーミック電極構造体を構成出来る。また、BHF溶液に対するエッチング速度の相違を利用して、種々の半導体プロセスを採用出来るので、多様なオーミ

ック電極構造体を構成出来る。

【0063】請求項6記載の発明によれば、フィールド絶縁膜に対するオーバーエッチングのエッチング時間の制御により、窓部近傍のマスク材の下部に形成されるアンダーカット部の深さが制御出来るので、寸法制御が容易である。また、このアンダーカット部の深さにより、第1の導体膜の素片とフィールド絶縁膜との一定の間隙を自己整合的に決定出来るので、第1の導体膜の素片とフィールド絶縁膜との一定の間隙を制御するためのフォトリソグラフィ工程は不要である。このため、電極膜となる第1の導体膜の素片とフィールド絶縁膜の開口部側壁との間隔を十分に小さく出来、占有面積の小さく、微細寸法を有したオーミック電極構造体を製造出来る。更に、フォトリソグラフィ工程が省略出来るため、工程数が減少し、製造歩留まりが高くなる。更に、請求項6記載の発明は、標準的なSi半導体デバイス製造方法が適用可能なので、容易且つ信頼性が高い。更に、第1の導体膜の素片が、フィールド絶縁膜と反応することが防止出来るので、第1の導体膜の素片を構成する金属材料との接触面にあるフィールド絶縁膜が高温熱処理で還元（浸食）されることがなく、フィールド絶縁膜の絶縁性が維持出来る。また、第1の導体膜の素片を構成する金属材料がフィールド絶縁膜に接していないので、第1の導体膜の素片から生成された電極膜とフィールド絶縁膜の接着力が弱いという問題は、本来的に存在しない。このため、プロセス終了後に電極膜が剥落することなく、製造歩留まりが高くなる。更に、加熱反応層を生成する工程において、第1の導体膜の素片の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元素の共存する状態が存在しないので、3元素の反応による寄生のショットキー接合の生成も回避出来、低いコンタクト抵抗が達成出来る。また、寄生のショットキー接合の生成に伴うn型SiC領域の水平方向の電流の流れの阻害もない。

【0064】請求項7記載の発明によれば、SiC基板表面にフィールド絶縁膜を形成する工程は、SiC表面を薄く熱酸化させた後、熱酸化膜の上部に、熱酸化以外の方法で厚い絶縁膜を堆積することによって達成しているので、SiCの表面モロロジーを、過度な熱酸化により荒らすことない。また、熱酸化以外の方法は、CVD法やスパッタリング法等の周知の物理的或いは化学的手段が採用可能であるが、これらの、熱酸化以外の方法に固有な自然酸化膜やヒドロ・カーボンのSiC界面（表面）への生成を、熱酸化により効果的に除去、若しくは抑制出来る。つまり、加熱反応層の形成の障害となるSiC表面の自然酸化膜とヒドロカーボンを除去することが可能であるので、 $10^{-7} \Omega \text{cm}^2$ 程度の低いコンタクト抵抗が簡単に実現出来る。

【0065】請求項8記載の発明によれば、熱酸化以外の方法でSiC基板の表面に酸素透過性絶縁膜を堆積する工程を先に行い、この酸素透過性絶縁膜の堆積後に、

熱酸化によりSiC基板の表面と酸素透過性絶縁膜との界面に熱酸化膜を成長して、フィールド絶縁膜を形成している。この場合も、請求項7記載に係る発明と同様に、過度の熱酸化によるSiC基板の表面モロロジーの劣化を抑制することが出来る。また、CVD法やスパッタリング法等の周知の物理的或いは化学的手段に固有な自然酸化膜やヒドロ・カーボンの生成を、熱酸化膜の生成により効果的に除去、若しくは抑制出来る。このため、加熱反応層とn型SiC領域との界面のモロロジーが良好となり、均一且つ均質な加熱反応層を生成出来る。従って、 $10^{-7} \Omega \text{cm}^2$ 程度の低いコンタクト抵抗 $\rho_c$ を簡単に得ることが出来る。

【0066】請求項9記載の発明によれば、半導体製造プロセスで周知のフォトレジストを使うことが出来るので、フォトリソグラフィ工程で簡単に、フィールド絶縁膜に開口部を形成するためのマスクパターンを形成出来る。更に、このマスクパターンをそのまま用いて、フォトレジストの上部に第1の導体膜を堆積すれば、その後、フォトレジストを剥離剤等で簡単に除去出来るので、リフトオフ工程も簡単に実施出来る。

【0067】請求項10記載に係る発明によれば、フィールド絶縁膜中に設ける開口部（凹部）の底面がn型SiC領域の表面に到達する最終ステップが、ウェット・エッチングと超純水によるリンスで完結されるので、ドライ・エッチングの反応生成物であるヒドロ・カーボンのn型SiC領域の表面への再付着や、過剰なプラズマエネルギーによるエッチング損傷が防止出来る。このため、開口部に露出したn型SiC領域の表面の汚染やn型SiC領域の表面の粗面化が有効に防止出来る。加えて、ドライ・エッチングが使用出来るため、微細な開口部寸法を有したオーミック・コンタクトが形成出来る。このため、半導体集積回路の高集積密度化や、電力用半導体装置のオン抵抗の低減等に好適なオーミック電極構造体の製造が可能になる。

【0068】請求項11記載の発明によれば、加熱反応層を形成する前の第1の導体膜の素片の厚みが制御されているので、仮に第1の導体膜の素片が完全に加熱反応層に転化したとしても、n型SiC領域が消失したり、加熱反応層がn型SiC領域を突き抜けることが確実に防止出来る。従って、n型SiC領域の消失に伴うコンタクト抵抗の急増や、n型SiC領域の突き抜けに伴うリーク電流の増大を有効に防止出来る。更に、加熱反応層形成のためのSiC基板の熱処理工程のプロセス・マージンが十分に取れ、十分な熱処理が可能で、より低いコンタクト抵抗の実現を可能にする。

【0069】請求項12記載の発明によれば、酸素及び水の分圧が制御された非酸化性雰囲気中で熱処理し、加熱反応層を生成している。加熱反応層生成のための高温熱処理で第1の導体膜の素片の表面に酸化膜が生じ、

ら構成された電極膜と、この電極膜に接続される上層の第2の導体膜との間のコンタクト抵抗が低減出来る。更に、酸素及び水の分圧が制御された非酸化性雰囲気中で熱処理することにより、高温熱処理中に、酸素或いは酸素含有雰囲気が原因で起こる第1の導体膜の素片の表面の荒れが防止出来る。このため、同様な工程と構造で形成されるアライメント・マークの表面モロロジーも良好であるので、後続の工程において高精度なフォトリソグラフィならびにエッチングが可能となる。

【0070】請求項13記載の発明によれば、第1の導体膜の素片に接し、且つ、フィールド絶縁膜の開口部を被覆するように第2の導体膜を配設し、これにより配線導体素片を形成出来るので、現実の半導体装置の電極構造に対応したオーミック電極構造体を簡単に製造出来る。また、第2の導体膜に対しては、高温の熱処理が不要であるので、第2の導体膜を構成する材料との接触面にあるフィールド絶縁膜が高温熱処理で還元（浸食）されることがないので、フィールド絶縁膜の絶縁性が維持出来る。

【0071】請求項14記載の発明によれば、仮に、高温熱処理で第1の導体膜の素片の表面に酸化膜が生成され場合や、ハイドロ・カーボンが付着した場合であっても、これらの酸化膜やハイドロ・カーボンを有効に除去出来る。このため、第1の導体膜の素片の表面の酸化膜やハイドロ・カーボンに起因した第1の導体膜の素片と第2の導体膜コンタクト抵抗の上昇を回避出来る。

【0072】請求項15記載の発明によれば、半導体装置の主電極領域に対するオーミック電極において、オーミック電極の電極膜及び加熱反応層を構成する金属材料が、フィールド絶縁膜と反応しない構造になっているので、金属材料との接触面にあるフィールド絶縁膜が高温熱処理で還元（浸食）されることがない。このため、半導体装置の主電極領域の周辺に形成されたフィールド絶縁膜の高い絶縁性が維持出来、リーク電流も低減出来る。また、電極膜を構成する金属材料がフィールド絶縁膜に接していないので、オーミック電極の電極膜とフィールド絶縁膜の接着力が弱いという問題は、本来的に存在しない。このため、半導体装置の製造プロセス終了後にオーミック電極の電極膜が剥落することはなく、半導体装置の製造歩留まりが高くなる。更に、オーミック電極の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来るので、低いコンタクト抵抗のオーミック電極が達成出来る。また、寄生のショットキー接合の生成に伴う主電極領域中の水平方向の電流の流れの阻害もない。この結果、高耐圧で且つ高速に動作可能な半導体装置が実現出来る。特に、電力用半導体装置においては、低いオン抵抗と高速なスイッチングを同時に達成出来る。

【0073】請求項16記載の発明によれば、電極膜及び加熱反応層の周縁部と開口部側壁との間の間隙を、フ

ィールド絶縁膜の厚みより小さい微細寸法としたため、主電極領域に対するオーミック電極の占有面積を小さく出来、半導体装置の集積密度を向上出来る。特に、微細な構造のオーミック電極を多数配列することにより、電力用半導体装置の低いオン抵抗と高速なスイッチングを同時に達成出来る。

【0074】請求項17記載の発明によれば、半導体装置の主電極領域に対するオーミック電極を形成するためのコンタクトホールを形成する際に、フィールド絶縁膜に対するオーバーエッチングのエッチング時間の制御により、窓部近傍のマスク材の下部に形成されるアンダーカット部の深さが制御出来るので、寸法制御が容易である。また、このアンダーカット部の深さにより、オーミック電極を形成するための第1の導体膜の素片とフィールド絶縁膜との一定の間隙を自己整合的に決定出来るので、オーミック電極とフィールド絶縁膜との一定の間隙を制御するためのフォトリソグラフィ工程は不要である。このため、オーミック電極となる第1の導体膜の素片とフィールド絶縁膜の開口部側壁との間隔を十分に小さく出来、占有面積の小さく、微細寸法を有したオーミック電極を配置出来る。更に、フォトリソグラフィ工程が省略出来るため、半導体装置の主電極領域に対するオーミック電極形成に係わる工程数が減少し、半導体装置の製造歩留まりが高くなる。更に、請求項17記載の発明は、標準的なSi半導体デバイス製造方法が適用可能なので、容易且つ信頼性が高い。更に、第1の導体膜の素片が、フィールド絶縁膜と反応することが防止出来るので、第1の導体膜の素片を構成する金属材料との接触面にあるフィールド絶縁膜が高温熱処理で還元（浸食）されることがなく、フィールド絶縁膜の絶縁性が維持出来る。また、オーミック電極を構成する金属材料がフィールド絶縁膜に接していないので、第1の導体膜の素片から生成されたオーミック電極とフィールド絶縁膜の接着力が弱いという問題は、本来的に存在しない。このため、プロセス終了後にオーミック電極が剥落することなく、製造歩留まりが高くなる。更に、オーミック電極の加熱反応層を生成する工程において、オーミック電極の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系の共存する状態が存在しないので、3元系の反応による寄生のショットキー接合の生成も回避出来、低いコンタクト抵抗が達成出来る。また、寄生のショットキー接合の生成に伴う主電極領域の水平方向の電流の流れの阻害もない良好な特性の半導体装置が簡単に製造出来る。また、請求項17記載態に係るオーミック電極構造体の製造方法は、いわゆる「リフトオフ法」を用いてパターンニングしているので、どのような種類の第1の導体膜でもパターンニング出来る特徴を有する。

【0075】請求項18記載の発明によれば、SiC基板表面にフィールド絶縁膜を形成する工程は、SiC表面を薄く熱酸化させた後、熱酸化膜の上部に、熱酸化以

外の方法で厚い絶縁膜を堆積することによって達成しているので、SiCの表面モホロジーを、過度な熱酸化により荒らすことない。また、熱酸化以外の方法は、CVD法やスパッタリング法等の周知の物理的或いは化学的手段が採用可能であるが、これらの、熱酸化以外の方法に固有な自然酸化膜やヒドロ・カーボンのSiC界面（表面）への生成を、熱酸化により効果的に除去、若しくは抑制出来る。つまり、加熱反応層の形成の障害となるSiC表面の自然酸化膜とヒドロカーボンを除去することが可能であるので、 $10^{-7} \Omega \text{cm}^2$  台程度の低い

【0076】請求項19記載の発明によれば、界面準位の少ない熱酸化膜の上部に、ゲート電極を形成しているので、ゲート閾値制御が容易で、高速・高耐圧の半導体装置を簡単に製造可能である。

【0077】請求項20記載の発明によれば、オーミック電極の加熱反応層を形成する前の第1の導体膜の素片の厚みが制御されているので、仮に第1の導体膜の素片が完全に加熱反応層に転化したとしても、主電極領域が消失したり、加熱反応層が主電極領域を突き抜けることが確実に防止出来る。従って、主電極領域の消失に伴うコンタクト抵抗の急増や、主電極領域の突き抜けに伴うリーク電流の増大を有効に防止出来る。更に、オーミック電極の加熱反応層形成のためのSiC基板の熱処理工程のプロセス・マージンが十分に取れ、十分な熱処理が可能で、非常に低いコンタクト抵抗のオーミック電極を有した半導体装置が実現出来る。

【0078】

【発明の実施の形態】次に、図面を参照して、本発明の第1乃至第3の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。従って、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0079】（第1の実施形態）図1に示すように、本発明の第1の実施の形態に係るオーミック電極構造体は、SiC基板1、SiC基板1の表面に選択的に形成されたn型SiC領域32、SiC基板1の上に載置されたフィールド絶縁膜5、フィールド絶縁膜5中にn型SiC領域32の表面を露出するように開口された開口部（コンタクト・ウィンドウ）の内部において、フィールド絶縁膜5から一定の間隙（側壁ギャップ）77を隔てて配置された電極膜7、フィールド絶縁膜5の開口部の内部において、フィールド絶縁膜5から側壁ギャップ77を隔て、且つ電極膜7とn型SiC領域32の間に配置された加熱反応層8、フィールド絶縁膜5の開口部

の内部において、電極膜7の表面に接し、且つフィールド絶縁膜5の上部にまで伸延された配線導体素片9とから構成されている。電極膜7とn型SiC領域32との間に埋設されている加熱反応層8は、n型SiC領域32と電極膜7の母材である第1の導体膜との加熱反応によって形成された層である。側壁ギャップ77を構成している一定の間隙は、フィールド絶縁膜5の厚みより小さい値に制御されている。

【0080】n型SiC領域32は、高い表面電子密度を有する。例えば、n型SiC領域32の表面電子密度は少なくとも $1 \times 10^{18} / \text{cm}^2 \sim 2 \times 10^{21} / \text{cm}^2$ 、好ましくは $1 \times 10^{18} / \text{cm}^2 \sim 8 \times 10^{20} / \text{cm}^2$ である。SiC基板1の導電型は本オーミック電極構造体を利用する半導体装置によって異なる。例えば、MOSFETならp型、MESFETやショットキーバリアダイオードならn型等のように設計仕様に応じて選べばよい。

【0081】電極膜7の母材である第1の導体膜はNiのほかチタン（Ti）、クロム（Cr）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）などの1、又は1以上の金属から選ばれた、金属膜、合金膜、化合物膜、或いはこれらの複合膜や積層膜から構成されている。この電極膜7の厚みはn型SiC領域32の拡散深さの概ね1/2未満の値であることが望ましい。

【0082】電極膜7には、他の部位のオーミック電極と結線するための第2の導体膜からなる配線導体素片9が接続されている。配線導体素片9は、フィールド絶縁膜5の開口部を被覆するように配置される。配線導体素片9は図1に示すオーミック・コンタクトを他の部位と結線する配線部材であり、半導体装置の主電極配線として機能する。パワーデバイスにおいては、複数のユニットセルを多数SiC基板1の上に、蜂の巣状や、マトリクス状等にして配置し電流容量を確保している。また、オン電圧を低くするための設計仕様により、各主電極領域を細分化し、SiC基板1の上に高密度に配列する場合もある。従って、このような場合は、複数の分割されたユニットセルの各主電極領域を統合する配線として配線導体素片9が機能する。この配線導体素片9には、周知のアルミニウム（Al）、アルミニウム・シリコン

（Al-Si）共晶、アルミニウム・銅・シリコン（Al-Cu-Si）共晶、銅（Cu）、チタン・タングステン（Ti-W）合金などが用いられる。

【0083】フィールド絶縁膜5は、SiC基板1の熱酸化膜3と、この熱酸化膜3とは組成若しくは密度の異なる絶縁膜からなる上部絶縁膜4との積層絶縁膜から構成されている。第1の実施の形態に係るオーミック電極構造体において、「熱酸化膜3とは組成の異なる絶縁膜」とは、PSG（りん珪酸ガラス）膜、BSG（硼珪酸ガラス）、BPSG（硼りん珪酸ガラス）或いはSi<sub>3</sub>N<sub>4</sub>膜等の絶縁膜の意である。また、「熱酸化膜3とは

密度の異なる絶縁膜」とは、熱酸化膜以外の方法で堆積した $\text{SiO}_2$ 膜等の絶縁膜の意である。例えば、CVD法、スパッタリング法、真空蒸着法等の、化学的若しくは物理的堆積方法による $\text{SiO}_2$ 膜が該当する。図1に示す $\text{SiC}$ の熱酸化膜3は、 $\text{Si}$ 熱酸化膜よりは劣るが、 $\text{Si}$ 熱酸化膜に近い $\text{SiO}_2$ 膜である。熱酸化膜とその他の方法で堆積した $\text{SiO}_2$ 膜とでは密度が違うので断面を高分解能SEM観察すると境界が見える。

【0084】そして、 $\text{Si}$ 熱酸化膜に近い $\text{SiC}$ の熱酸化膜3の絶縁破壊電界強度は、厚さ10nmで14MV/cm程度である。一方、熱酸化以外の方法で形成した $\text{SiO}_2$ 膜の絶縁破壊電界強度は、この値よりも小さい。例えば、CVDで堆積した $\text{SiO}_2$ 膜の絶縁破壊電界強度は、同じ厚さ10nmで6MV/cm程度であるので、絶縁破壊電界強度を測定すれば、明瞭に $\text{SiC}$ の熱酸化膜3と上部絶縁膜4とは識別可能である。

【0085】また、 $\text{SiC}$ の熱酸化膜3は、 $\text{Si}$ 熱酸化膜に近い $\text{SiO}_2$ 膜であるので、BHF溶液に対するエッチング速度は100nm/分程度である。これに比し、CVDで堆積した $\text{SiO}_2$ 膜に対するエッチング速度は1.5倍から3倍位高い。従って、BHF溶液に対するエッチング速度を測定すれば、明瞭に $\text{SiC}$ の熱酸化膜3と上部絶縁膜4とは識別可能である。

【0086】ミクロには、CVDで堆積した $\text{SiO}_2$ 膜中には、 $\text{SiC}$ の熱酸化膜3より水素やカーボン結合が多く、 $\text{Si-O-Si}$ 結合距離が $\text{SiC}$ の熱酸化膜3より長いので、赤外線吸収スペクトルやラマン分光によっても、明瞭に $\text{SiC}$ の熱酸化膜3と上部絶縁膜4とは識別可能である。

【0087】図1に示すような $\text{SiC}$ の熱酸化膜以外の種々の $\text{SiO}_2$ 膜等の上部絶縁膜4を、 $\text{SiC}$ の熱酸化膜3の上部に形成した積層構造を採用すれば、半導体装置の仕様として要求される界面準位、耐圧や表面の安定性を確保しつつ、 $\text{SiC}$ の表面モホロジーを良好に維持出来る。

【0088】熱酸化膜3の厚さは2～50nmであることが望ましい。特に、5～20nmの範囲の熱酸化膜3の厚さが望ましい。熱酸化膜3の厚さが、5nmより薄い場合は表面研磨やイオン注入法で生じた $\text{SiC}$ 基板1表面の損傷領域を除去する効果ならびに表面の異物を除去する効果が乏しくなる。一方、熱酸化膜3の厚さが、50nmより厚い場合は過度な熱酸化により $\text{SiC}$ 基板1表面が次第に荒れ、表面モホロジーが低下するという問題がある。このため、コンタクト抵抗 $\rho_c$ の低減には上記範囲の熱酸化膜3の厚さが有益な効果をもたらす。

【0089】熱酸化膜3の厚さと上部絶縁膜4の厚さとを合計したフィールド絶縁膜5の総厚は、100nm～3 $\mu\text{m}$ であることが望ましい。特に、300nm以上であることが望ましい。また、高耐圧の電力用半導体装置であれば、800nm以上にすれば良い。但し、フィー

ルド絶縁膜5があまり厚くなると、クラック等が発生するので、3 $\mu\text{m}$ 以上は好ましくない。また、電極膜7及び加熱反応層8の周縁部と開口部側壁との間の間隙(側壁ギャップ)77は、フィールド絶縁膜5の厚み程度に制御できるので、微細寸法化には、フィールド絶縁膜5があまり厚いのは好ましくない。即ち、微細寸法化を考慮した場合には、1.5 $\mu\text{m}$ 程度が、フィールド絶縁膜5の厚さの実用的な上限である。

【0090】図1に示すように、第1の実施の形態に係るオーミック電極構造体によれば、電極膜7及び加熱反応層8が共に、フィールド絶縁膜5の開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77を隔て配置されているので、電極膜7及び加熱反応層8を構成する金属材料が、フィールド絶縁膜5と反応することが防止出来る。従って、金属材料との接触面にあるフィールド絶縁膜5が高温熱処理で還元(浸食)されることがないので、フィールド絶縁膜5の絶縁性が維持出来る。また、電極膜7を構成する金属材料がフィールド絶縁膜5に接していないので、電極膜7とフィールド絶縁膜5の接着力が弱いという問題は、本来的に存在しない。このため、製造プロセス終了後に電極膜7が剥落することはなく、製造歩留まりが高くなる。更に、加熱反応層8の底部外縁部における金属- $\text{SiC}$ - $\text{SiO}_2$ の3元系共存反応による寄生のショットキー接合の生成も回避出来るので、低いコンタクト抵抗が達成出来る。また、寄生のショットキー接合の生成に伴うn型 $\text{SiC}$ 領域32の水平方向の電流の流れの阻害もない。

【0091】更に、第1の実施の形態に係るオーミック電極構造体によれば、電極膜7及び加熱反応層8の周縁部と開口部側壁との間の間隙(側壁ギャップ)77を、フィールド絶縁膜5の厚みより小さい微細寸法に出来るので、オーミック電極構造体の占有面積を小さく出来る。

【0092】次に、図2～図4に示す工程断面図(その1～その3)を参照しながら本発明の第1の実施の形態に係るオーミック電極構造体の製造工程を説明する。

【0093】(イ) 先ず、厚さ約1.5 $\mu\text{m}$ の $\text{SiO}_2$ 膜33を、CVD法で4H- $\text{SiC}$ 基板1の表面全面に堆積し、その上にフォトレジスト34をスピンコートする。そして、図2(a)に示すように、n型 $\text{SiC}$ 領域形成予定領域の上に堆積した $\text{SiO}_2$ 膜33を周知のフォトリソグラフィ法とウェット・エッチング技術で選択的に除去し、イオン注入マスク膜33を形成する。

【0094】(ロ) そして、図2(b)に示すように、イオン注入マスク膜33の上に、再びCVD法で薄い $\text{SiO}_2$ 膜からなるイオン注入スルー膜35を全面に堆積する。イオン注入スルー膜35は、後述のイオン注入時の射影飛程(深さ)R<sub>0</sub>を調節するための膜である。後述の $^{31}\text{P}^+$ (りんイオン)の注入条件では、イオン注入

スルー膜35の厚みは20~25nmである。イオン注入スルー膜35を堆積した後、SiC基板1全面に $^{31}\text{P}^+$ 、 $^{14}\text{N}^+$ （窒素イオン）や $^{75}\text{As}^+$ （ヒ素イオン）などのn型不純物イオンを、少なくともSiC基板1の表面の不純物密度が $1 \times 10^{13} / \text{cm}^2$ 以上になり、且つ、SiC基板1の結晶性を損なわないようにイオン注入する。このn型不純物イオンの注入は、500℃に加熱したSiC基板1に、ドーズ量 $\Phi$ /加速エネルギー $E_{ac}$ を変えながら多段に注入することが好ましい。例えば、 $^{31}\text{P}^+$ を、SiC基板1に多段イオン注入する場合のドーズ量 $\Phi$ /加速エネルギー $E_{ac}$ 条件は、以下の通りである：

第1イオン注入 $\Phi = 5 \times 10^{14} \text{ cm}^{-2} / E_{ac} = 40 \text{ KeV}$ ；

第2イオン注入 $\Phi = 5 \times 10^{14} \text{ cm}^{-2} / E_{ac} = 70 \text{ KeV}$ ；

第3イオン注入 $\Phi = 1 \times 10^{15} \text{ cm}^{-2} / E_{ac} = 100 \text{ KeV}$ ；

第4イオン注入 $\Phi = 1 \times 10^{15} \text{ cm}^{-2} / E_{ac} = 150 \text{ KeV}$ ；

第5イオン注入 $\Phi = 2 \times 10^{15} \text{ cm}^{-2} / E_{ac} = 200 \text{ KeV}$ ；

第6イオン注入 $\Phi = 2 \times 10^{15} \text{ cm}^{-2} / E_{ac} = 250 \text{ KeV}$ 。

【0095】（ハ）6段の多段イオン注入が終了したところで、イオン注入マスク膜33とイオン注入スルー膜35をフッ酸（HF）で全面除去する。そして、常圧Ar雰囲気中で1700℃1分の急速加熱処理を行うと、イオン注入された $^{31}\text{P}^+$ が活性化されて、図2（c）に示すように、高不純物密度を有するn型SiC領域32が選択的に形成される。上記イオン注入条件と活性化熱処理条件で生成されるn型SiC領域32の拡散深さはおよそ350nmである。

【0096】（ニ）そして、シリコン（Si）プロセスで周知のRCA洗浄法等の所定の洗浄法を用いて、SiC基板1を十分清浄化する。RCA洗浄法は、 $\text{H}_2\text{O}_2 + \text{NH}_4\text{OH}$ 混合液（SC-1）と $\text{H}_2\text{O}_2 + \text{HCl}$ 混合液（SC-2）による浸漬処理を組み合わせ行う伝統的な半導体SiC基板1の洗浄法である。そして、図3

（d）に示すように、十分清浄化されたSiC基板1の表面を、1000℃から1150℃において乾燥酸素雰囲気中で熱酸化し、表面に厚さ5~40nm熱酸化膜3を成長する。なお、乾燥酸素雰囲気の代わりに、水蒸気を用いてもかまわない。乾燥酸素中、熱処理温度1150℃で3時間熱酸化すれば、35~40nmの熱酸化膜3が得られる。水蒸気を用いたウェット雰囲気中、1150℃で2時間熱酸化すれば、30~35nmの熱酸化膜3が得られる。水蒸気を用いたウェット雰囲気中の熱酸化の場合は、その後アルゴン（Ar）中で1150℃、30分程度アニールすることが好ましい。熱酸化膜3を2

0nm以下にするためには、酸化温度を下げる若しくは、酸化時間を短縮すれば良い。

【0097】（ホ）次に、図3（e）に示すように、熱酸化膜3の上に、常圧CVD法で400nmのPSGからなる上部絶縁膜4を堆積し、2層構造からなるフィールド絶縁膜5を形成する。熱酸化膜3の厚さと上部絶縁膜4の厚さとを合計したフィールド絶縁膜5の総厚を、100nm~600nm程度にすることが望ましい。

【0098】（ヘ）次に、フィールド絶縁膜5の表面に、本発明の「マスク材」として、厚さ1~2 $\mu\text{m}$ のフォトレジスト22をスピンナーを用いて塗布する。そして、所定のフォトマスク（レティクル）を用い、マスク材（フォトレジスト）22を選択的に露光し、現像することによって開口部6に対応する部分のフォトレジスト22を除去し窓部を形成する。続いて、このフォトレジスト22のマスクパターンをエッチングマスクとして用い、SiC基板1をBHF溶液に浸漬しウェット・エッチングすることで、図3（f）に示すように、フィールド絶縁膜5に開口部6を形成する。微細な開口部6を形成する時は、ガスプラズマを用いたドライ・エッチングが好ましい。例えば、 $\text{CHF}_3$ や $\text{C}_2\text{F}_6$ などをエッチャントとした反応性イオンエッチング（RIE）法や電子サイクロトロン共鳴イオンエッチング（ECRイオンエッチング）等の種々のドライ・エッチングを使用することが出来る。この場合、最初にドライ・エッチングを行い、フィールド絶縁膜5を数10nm残したところで、ウェット・エッチングに切り換えるようにする。開口部6をドライ・エッチングで、最後まで貫通させると、

1）SiC基板1の表面が過剰なプラズマエネルギーによるプラズマ損傷で荒れる、

2）エッチング反応で生成した反応生成物であるハイドロ・カーボンがSiC基板1の表面に再付着し、表面を汚染する

という弊害が起こり、後述の加熱反応層の均一生成に大きな障害になる。更に、コンタクト抵抗 $\rho_c$ を劇的に増加させる結果となるので好ましくない。ウェットエッチング単独で開口する場合でも、ドライエッチングとウェットエッチングの組み合わせで開口する場合でも、両者に共通し、本発明の根幹に係わる極めて重要な形成上のポイントはウェット・エッチング又はドライ・エッチングをやや過剰に行い（オーバーエッチングを行い）、フィールド絶縁膜5の開口部6がフォトレジストの開口部より大きくなり、アンダーカット部が生じるようにするということである。例えば、エッチングモニタ部の目視により（色の変化により）、n型SiC領域32の表面の露出が確認された後、更に所定の時間オーバーエッチングを追加すればよい。オーバーエッチング量の制御は、エッチング液の組成、液温を厳密に制御し、エッチング時間をコントロールすればよい。このようなコント

ロールを行うことにより、アンダーカット部の深さは、フィールド絶縁膜5の厚み(100nm~600nm)程度であれば、容易に制御可能である。或いは、所望のエッチング厚のエッチングモニタを別途用意し、このエッチングモニタのジャスト・エッチを確認してエッチングを終了するようにすれば、100nm以下の制御も可能である。エッチング液に界面活性剤等を加えても良い。更に、精密なアンダーカット部の深さを制御するためには、気相反応を利用したエッチング(ガスエッチング)を用いても良い。第1の実施形態では、本発明の「マスク材」としてフォトレジスト22を用いているが、このオーバーエッチング時に、エッチングされない材料であれば、フォトレジスト22以外の材料を本発明の「マスク材」として採用可能である。即ち、本発明の「マスク材」は、フィールド絶縁膜5とはエッチング速度の異なる材料で構成されているれば良い。なお、図3(f)には、熱酸化膜3と上部絶縁膜4のエッチング速度の差による側壁部の段差を誇張して示しているが、アンダーカット部の深さが薄い限り、現実にはエッチング深さの差は顕著ではない。

【0099】(ト)その後、エッチングマスクとしてのフォトレジスト22を残存した状態で、BHF溶液を超純水で完全に濯ぎ落とした(リンスした)後、乾燥する。そして、レジストマスク22が被着した状態のSiC基板1を、真空蒸着装置のチャンパー中に速やかに据え付け、直ちに真空排気する。コンタクト・ウィンドウ開口エッチングから真空排気までの大気中放置時間は、コンタクト抵抗 $\rho c$ の大小をする極めて重要な因子である。大気中放置時間が長いと、開口部のSiC基板1の表面に自然酸化膜が生成されたり、望まぬ異物が付着する。このため、後述の加熱反応層の均一生成に大きな障害となり、ひいてはコンタクト抵抗 $\rho c$ を劇的に増加させるので、5分以内の短時間でを行う。そして、真空蒸着装置のチャンパーをターボ分子ポンプ、クライオポンプ等で、 $1.3 \times 10^{-5}$  Pa未満の圧力まで真空排気し、図4(g)に示すように、SiC基板1の表面に第1の導体膜としての第1の導体膜17を蒸着する。第1の導体膜17としては、例えば、Ni膜を電子ビーム(EB)蒸着すれば良い。図4(g)に示すように、開口部の側壁に第1の導体膜(Ni系電極膜)17が付着しないようにするためには、オリフィス等を用いて、蒸着ビームの指向性を向上させて行えば良い。この時、上述のように、フィールド絶縁膜5の開口部6はフォトレジスト・マスクの開口部より大きくなるように形成されているため、開口部底部に蒸着される第1の導体膜の素片(以下において「第1の導体素片27」という。)はこの若干小さいフォトレジスト・マスクの開口部の形状に正確に転写される。こうして、第1の導体素片27の周縁部とフィールド絶縁膜5の開口部側壁との間には、距離が一定で、且つ微細寸法の蒸着制限領域が形成され

る。この微細な蒸着制限領域は、上述したアンダーカット部の深さで決定されるので、開口エッチングのオーバーエッチング時間で精密にコントロール出来る。第1の導体膜17の厚みはその下部にあるn型SiC領域32の拡散深さの1/2より薄く設定する。

【0100】(チ)第1の導体膜(Ni膜)17の真空蒸着後、SiC基板1を真空蒸着装置のチャンパーから取り出す。続いて、リフトオフ法を用いて、図4(h)に示すように、開口部の内部のみに第1の導体素片27が選択的に埋設された基板構造を得る。即ち、SiC基板1をアセトンなどの有機溶剤或いは専用のフォトレジスト剥離液に浸漬させ、SiC基板1表面に残されているフォトレジスト22を完全に除去すると、フォトレジスト22の上に被着した第1の導体膜(Ni膜)17もフォトレジスト22と共に除かれるので、図4(h)に示すように、開口部の内部のみに第1の導体素片27が選択的に残存する。この結果、第1の導体素片27の周縁部とフィールド絶縁膜5の開口部側壁との間には、蒸着制限領域に対応した微細寸法の側壁ギャップ77が自己整合的に形成される。

【0101】(リ)しかる後、SiC基板1を700℃~1050℃の非酸化性雰囲気中で短時間(数分程度)の熱処理を施すと、図4(i)に示すように、第1の導体素片27とSiC基板1が相互に反応して、両者の界面領域に加熱反応層8が生成され、加熱反応層とn型SiC領域32との間で優れたオーミック特性が実現される。数分程度の短時間の熱処理を行うためには、赤外線(IR)ランプ加熱を用いれば良い。ここで「非酸化性雰囲気」とは酸素( $O_2$ )や水( $H_2O$ )等の酸素を含む化合物の気体を含まない雰囲気のことである。具体的には、超高純度アルゴン(Ar)や超高純度窒素( $N_2$ )などの超高純度不活性ガス雰囲気、或いは、高真空等が、「非酸化性雰囲気」として好適である。これら熱処理雰囲気に酸素が僅かでも含まれると、熱処理で表面に金属の酸化物(=絶縁物)が生じたり、加熱反応層の形成が阻害されたりするので、酸素及び水の分圧の制御に関しては、厳重なる管理が必要である。具体的には、熱処理雰囲気に含まれる酸素及び水の分圧は少なくとも、 $1 \times 10^{-8}$  Pa~ $1 \times 10^{-10}$  Pa程度、望ましくは、 $1. \times 10^{-8}$  Pa~ $1 \times 10^{-10}$  Pa程度であることが望ましい。超高純度不活性ガス雰囲気中で熱処理する場合は、ガス配管のベーキングやリークの点検の他に、脱酸素装置やガス純化装置の採用等の厳重なる管理が必要である。また、高真空中で熱処理する場合は、厳密には $1 \times 10^{-8}$  Pa程度の真空中でも金属の表面が酸化するので、クライオパネル等を併用して、酸素及び水の分圧を $1 \times 10^{-8}$  Pa~ $1 \times 10^{-10}$  Pa程度に制御して、超高真空中で熱処理をすることが好ましい。例えば、第1の導体膜17としてNi膜を用いた場合は、熱処理により、ニッケルシリサイド(NiS



$i_{1-x}$ ,  $NiSi_2$ ) とカーボン (C) 等からなる加熱反応層 8 が、第 1 の導体素片 27 の底部 (下部) に生成される。加熱反応層 8 にならなかった上部の未反応の第 1 の導体素片 27 は電極膜 7 になる。現実には、電極膜 7 は、未反応の Ni にニッケルシリサイド ( $Ni_2Si$ ) が拡散した状態になる。第 1 の導体膜を蒸着する工程で第 1 の導体膜の厚みをその下部にある n 型 SiC 領域 32 の厚みの  $1/2$  より薄く設定したのは、第 1 の導体素片 27 が加熱処理で完全に加熱反応層 8 に転化した場合であっても、n 型 SiC 領域 32 が下部に残されるよう保証するためである。高不純物密度 n 型 SiC 領域 32 が完全に消失すると、コンタクト抵抗が急増する深刻な事態となる。第 1 の導体膜の厚みの条件はこの事態を回避するために規定されている。

【0102】(ヌ) 加熱反応層 8 の形成後に、図 1 に示すように、SiC 基板 1 全面に Al 等の第 2 の導体膜を蒸着する。そして、フォトリソグラフィ法と RIE 等のエッチング技術でバターニングして、図 1 に示すような配線導体素片 9 を形成すれば、第 1 の実施の形態に係るオーミック電極構造体が完成する。なお、バターニングの際のエッチャント (= エッチング液或いはエッチングガス) が Ni 系電極膜 7 を侵す時は、第 2 の導体膜は必ず Ni 系電極膜 7 を覆うように配設する構成とすれば良い。

【0103】なお、熱反応層 9 を形成する工程で第 1 の導体膜からなる電極膜 7 の表面に意図せず第 1 の導体膜の酸化物が形成されたり、例えば、ハイドロ・カーボン等の高抵抗性の汚染物が付着する場合には、第 2 の導体膜を成膜する前に、これら、異物を除去する工程が付加される。この目的に適合した基板処理として、ドライ処理なら Ar イオンによるスパッタエッチが有効である。或いは、酸素プラズマへの暴露によるハイドロ・カーボンの除去工程の後に、燐酸 ( $H_3PO_4$ )、硝酸 ( $HNO_3$ )、酢酸 ( $CH_3COOH$ ) 混合溶液への浸漬により、第 1 の導体膜等の酸化膜除去し、純水リンスし、乾燥するという一連のウェット処理工程を用いることが出来る。

【0104】第 1 の実施の形態に係るオーミック電極構造体の製造方法によれば、フィールド絶縁膜 5 に対するオーバーエッチングのエッチング時間の制御により、窓部近傍のマスク材の下部に形成されるアンダーカット部の深さが制御出来るので、寸法制御が容易である。また、このアンダーカット部の深さにより、第 1 の導体素片 27 とフィールド絶縁膜 5 との一定の間隙 (側壁ギャップ) 77 を自己整合的に決定出来る。つまり、第 1 の導体素片 27 の電極パターンがフィールド絶縁膜 5 に設けられた開口パターンの側壁の位置に対して、自己整合的に形成出来るという利点がある。言いかえると、フォトリソグラフィ工程で第 1 の導体素片 27 バターニング

て、極限の精度で、第 1 の導体素片 27 の端部の位置を合わせられる利点がある。「極限の精度」とは、オーバーエッチングの方法を選べば、ナノメートル・レベル、更には分子層単位の精度でアンダーカットの深さが制御可能と言う意味である。例えば、超高真空中に排気可能な真空チャンバー中で、表面反応を利用した気相エッチング等の採用をすれば、分子層単位のエッチングが可能である。従って、電極膜 7 となる第 1 の導体素片 27 とフィールド絶縁膜 5 の開口部側壁との間隔を十分に小さく出来、占有面積の小さく、微細寸法を有したオーミック電極構造体を製造出来る。

【0105】第 1 の実施の形態に係るオーミック電極構造体の製造方法によれば、第 1 の導体素片 27 とフィールド絶縁膜 5 との一定の間隙 (側壁ギャップ) 77 を制御するためのフォトリソグラフィ工程は不要である。つまり、フィールド絶縁膜 5 の開口部 6 形成工程から第 1 の導体素片 27 の形成に至る一連の工程において、フォトリソグラフィが 1 回で済み、プロセスが簡素化される利点がある。工程数が減少すれば、製造歩留まりが高くなり、従来例に対し製造原価の低減として有効に作用する。更に、標準的な Si 半導体デバイス製造方法が適用可能なので、容易且つ信頼性が高いオーミック電極構造体の製造方法が提供出来る。

【0106】また、第 1 の実施の形態に係るオーミック電極構造体の製造方法によれば、どのような種類、構造の第 1 の導体膜 17 でもバターニングすることが可能である。この利点が特に活かされるのは、

- a) 第 1 の導体膜 17 に実用的なエッチング速度のエッチャントが存在しないとき、
- b) 酸素や水分、或いは、エッチャントに第 1 の導体膜 17 が著しく反応するとき、
- c) 第 1 の導体膜 17 が多層構造になっていてエッチングが煩雑になるとき、である。

【0107】更に、第 1 の実施の形態に係るオーミック電極構造体の製造方法によれば、第 1 の導体素片 27 が、フィールド絶縁膜 5 と反応することが防止出来るので、第 1 の導体素片 27 を構成する金属材料との接触面にあるフィールド絶縁膜 5 が高温熱処理で還元 (浸食) されることがなく、フィールド絶縁膜 5 の絶縁性が維持出来る。また、第 1 の導体素片 27 を構成する金属材料がフィールド絶縁膜 5 に接していないので、第 1 の導体素片 27 から生成された電極膜 7 とフィールド絶縁膜 5 の接着力が弱いという問題は、本来的に存在しない。このため、プロセス終了後に電極膜 7 が剥落することではなく、製造歩留まりが高くなる。更に、加熱反応層 8 を生成する工程において、第 1 の導体素片 27 の底部外縁部における金属-SiC-SiO<sub>2</sub> の 3 元系の共存する状態が存在しないので、3 元系の反応による寄生のショットキー接合の生成も回避出来、低いコンタクト抵抗が達成出来る。また、寄生のショットキー接合の生成に伴う



n型SiC領域32の水平方向の電流の流れの障害もない。

【0108】このような構成で作製したn型SiC領域32に対するオーミック電極構造体が実用的コンタクト抵抗を示すか確かめるために、コンタクト抵抗の評価にしばしば用いられる線型伝送線路モデル(リニアTLM)評価法のコンタクト群を作製した。このリニアTLM評価法においては、SiO<sub>2</sub>膜からなる素子分離領域に囲まれた長方形のn型SiC領域の内部に、電極パターン(コンタクト・パターン)を横一列に並べたコンタクト群を用いる。n型SiC領域の短辺の長さは、208μmである。即ち、長方形のn型SiC領域の長辺方向に沿って、この長方形とは長辺方向が直交する小さな長方形からなる複数の電極パターンを1次元配列したコンタクト群のパターンを用意する。この小さな長方形の長辺の長さ(オーミック・コンタクト幅)は200μmで、短辺の長さは、100μmである。ここで、コンタクト群のパターンは、小さな長方形パターンからなるコンタクト(金属・半導体接合)の相互の間隔(コンタクト間隔)を順に変化させながら、n型SiC領域の長辺方向に沿って横一列に配列される。即ち、コンタクト間隔LはL=6, 10, 15, 20, 25, 30μmと順に変化させる。リニアTLM評価法とは、このコンタクト群における隣接する2つのコンタクト間の電流-電圧特性から抵抗を求め、抵抗をコンタクト間隔の関数として整理し、これを直線近似して数式処理を行い、最終的に精密なコンタクト抵抗ρ<sub>c</sub>を求める方法である。

【0109】評価した試料の主な構成は次の通りである。使用したSiC基板1は高抵抗のp型ホモエピタキシャル膜を有する(0001)面の4H-SiC基板である。このホモエピタキシャル4H-SiC基板の表面は、Si面である。このホモエピタキシャル4H-SiC基板に、高不純物密度のn型SiC領域32が、上述した方法で、イオン注入され、活性化熱処理され形成されたものである。n型SiC領域3の拡散深さは350nmで、不純物密度は $2.7 \times 10^{20} \text{ cm}^{-3}$ である。熱処理前の第1の導体膜17は150nm厚のNiで、フィールド絶縁膜5の熱酸化膜3は1100℃ドライ酸化膜(10nm厚)、上部絶縁膜4は常圧CVDで成膜したSiO<sub>2</sub>膜(400nm厚)である。加熱反応層8の熱処理温度は1000℃、熱処理時間は5分、熱処理雰囲気は高純度Ar雰囲気である。第2の導体膜からなる配線導体素片9は厚さ1μmのAl膜素片である。

【0110】図5はコンタクト間隔をパラメータにして、隣接する電極間の電流-電圧特性を示している。原点を通る直線が得られていることから、TLMを構成するすべての電極でオーミック・コンタクトが得られていることが分かる。図5の直線の傾きから求めたオーミック・コンタクト電極間の抵抗と距離の関係をプロットすると図6のようになる。データはバラツキが少なく、1

直線上にプロットされている。この直線近似から、コンタクト抵抗ρ<sub>c</sub>= $8.6 \times 10^{-7} \Omega \text{ cm}^2$ と非常に優れた値が得られる。図5には、比較のため、加熱反応層8を、熱処理温度は900℃とし、他の条件を熱処理温度1000℃の場合と同じにした結果も示すが、コンタクト抵抗ρ<sub>c</sub>= $4.0 \times 10^{-6} \Omega \text{ cm}^2$ であり、加熱反応層8の生成が、熱処理温度1000℃の場合に比し、少し不十分であると考えられる。

【0111】なお、4H-SiC基板1ではなく、禁制帯幅が相対的に狭く、電子親和力の小さな6H-SiC基板1(Si面)を用いて同様の評価を行った場合にはρ<sub>c</sub>= $4.3 \times 10^{-7} \Omega \text{ cm}^2$ の更に小さなコンタクト抵抗が実現される。

【0112】他の条件を同じにして、第1の導体膜として、Niの替わりに厚み100nmのチタン(Ti)を用いた場合にはρ<sub>c</sub>= $1.2 \times 10^{-6} \Omega \text{ cm}^2$ のコンタクト抵抗が得られる。第1の導体膜として、厚み150nmのタングステン(W)を用いた場合には $5.5 \times 10^{-6} \Omega \text{ cm}^2$ のコンタクト抵抗が得られる。

【0113】図7は、ノマルスキー干渉顕微鏡によるフィールド絶縁膜5中に開口されたコンタクト・ウィンドウ内に埋め込まれた電極膜7の表面モホロジーをスケッチした模式図である。電極膜7の平面寸法は、20μm×20μmであり、フィールド絶縁膜5の開口部側壁と電極膜7との間には、自己整合的に形成された微細寸法の側壁ギャップ77が観察出来る。図7(a)は、熱処理なしの場合の、Ni膜からなる電極膜7の表面の模式図であり、良好な表面モホロジーが観察出来る。一方、図7(b)及び図7(c)は、それぞれ、900℃及び1000℃で熱処理した場合の、電極膜7の表面をスケッチした模式図であり、若干の表面状態の変化が認められるものの良好な表面モホロジーであると判断出来る。

【0114】図8は、1000℃で熱処理した本発明の第1の実施形態に係るオーミック電極構造体の断面TEM像をスケッチした模式図である。TEM観察は、[1120]方向に、300KeVの加速電圧の電子線を照射して行った。熱処理前のNi/SiC界面が熱処理後に、約170nm程度SiC基板方向に移動している。加熱反応層8とn型SiC領域32との界面には、界面の平坦性に優れた良好な表面モホロジーが観察出来る。

【0115】図9は、<sup>4</sup>He<sup>+</sup>を加速電圧3MeVで入射角0°照射した場合の散乱角157°におけるラザフォード後方散乱分析により求めた第1の実施形態に係るオーミック電極構造体の厚み方向の組成の変化を示す図である。最上層には、配線導体素片9としてのAl膜が観察出来る。配線導体素片9の下部には、厚さ約100nmの電極膜7が認められる。電極膜7は、Ni、ニッケルシリサイド(Ni<sub>3</sub>Si)及びカーボン(C)の固溶体であると推定される。電極膜7の下には、厚さ約300nmの加熱反応層8が認められる。加熱反応層8

は、厚さ約100nmのニッケルシリサイド(NiSi<sub>1-x</sub>)層と、この層の下に連続して位置する厚さ厚さ約200nmのニッケルシリサイド(NiSi<sub>2</sub>)とカーボン(C)の固溶体層から構成されていると推定される。

【0116】(第2の実施形態)図13は、本発明の第2の実施の形態に係るオーミック電極構造体の要部断面図である。本構造はリセス型ゲート構造を有するMESFET、MOSFETなどで用いられるメサ形状をした高不純物密度n型SiCエピタキシャル領域にオーミック電極構造体を形成する例である。

【0117】本発明の第2の実施の形態に係るオーミック電極構造体においては、所望のSiC基板1の表面に、メサ形状の高不純物密度のn型SiC領域2が形成されている。n型SiC領域2の表面電子密度は少なくとも $1 \times 10^{18} / \text{cm}^2 \sim 2 \times 10^{21} / \text{cm}^2$ 、好ましくは $1 \times 10^{18} / \text{cm}^2 \sim 8 \times 10^{20} / \text{cm}^2$ である。このような高不純物密度のn型SiC領域2は、窒素をその場で添加した気相エピタキシャル成長法等によるホモ・エピタキシャル成長で形成しても良いし、第1の実施の形態と同様に、 $^{31}\text{P}^+$ 、 $^{14}\text{N}^+$ や $^{75}\text{As}^+$ などのn型不純物イオンの注入と、その後の活性化熱処理で形成しても良い。SiC基板1の導電性は、第2の実施の形態に係るオーミック電極構造体を利用する半導体装置によって異なるのでここでは規定しない。図13において図1と同じ番号を付した部位は、図1と同じ要素であり、冗長を避けるために説明を簡略化或いは省略する。

【0118】図13に示すように、第2の実施の形態に係るオーミック電極構造体によれば、電極膜7及び加熱反応層8が共に、フィールド絶縁膜5の開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77を隔て配置されているので、電極膜7及び加熱反応層8を構成する金属材料が、フィールド絶縁膜5と反応することが防止出来る。従って、金属材料との接触面にあるフィールド絶縁膜5が高温熱処理で還元(浸食)されることがないので、フィールド絶縁膜5の絶縁性が維持出来る。また、電極膜7を構成する金属材料がフィールド絶縁膜5に接していないので、電極膜7とフィールド絶縁膜5の接着力が弱いという問題は、本来的に存在しない。このため、製造プロセス終了後に電極膜7が剥落することはなく、製造歩留まりが高くなる。更に、加熱反応層8の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来るので、低いコンタクト抵抗が達成出来る。また、寄生のショットキー接合の生成に伴うn型SiC領域2の水平方向の電流の流れの阻害もない。

【0119】更に、第2の実施の形態に係るオーミック電極構造体によれば、電極膜7及び加熱反応層8の周縁部と開口部側壁との間の間隙(側壁ギャップ)77を、

フィールド絶縁膜5の厚みより小さい微細寸法に出来るので、オーミック電極構造体の占有面積を小さく出来る。

【0120】次に図14～図16に示す工程断面図(その1～その3)を参照しながら、本発明の第2の実施の形態に係るオーミック電極構造体の製造工程を説明する。

【0121】(イ) 先ず、(0001)面、8°オフの4H-SiC基板1のSi面表面に、 $1 \times 10^{19} / \text{cm}^2$ 以上の高不純物密度のn型不純物としてのN(窒素)を添加した厚さ数100nmのn型エピタキシャル成長層(n型SiC領域)20をエピタキシャル成長する。続いて、このn型エピタキシャル成長層(n型SiC領域)20の上に、厚さ20nmのシリコン酸化膜(SiO<sub>2</sub>膜)からなるプロテクト酸化膜をCVD法で堆積する。このプロテクト酸化膜の上に、更に、200nm厚のAl膜を蒸着する。このAl膜/SiO<sub>2</sub>膜を、周知のフォトリソグラフィ法とRIE法等のエッチング技術で、図14(a)に示すように、n型SiC領域2に対応するAl膜/SiO<sub>2</sub>膜からなるエッチングマスク21を形成する。

【0122】(ロ) 次に、Al膜/SiO<sub>2</sub>膜からなるエッチングマスク21を使用し、SF<sub>6</sub>とO<sub>2</sub>をエッチャントガスとしたRIE法で、図14(b)に示すように、不要なエピタキシャル層を除く。更に、その後、エッチングマスク21の上部のAlを硫酸(H<sub>2</sub>SO<sub>4</sub>)と過酸化水素(H<sub>2</sub>O<sub>2</sub>)の混合液で取り除き、続いて、その下のプロテクト酸化膜をBHF溶液で除いて、素子分離されたメサ構造のn型SiC領域2を形成する。

【0123】(ハ) この後は、第1の実施の形態の図3(d)以降の工程と、実質的に同様である。即ち、RCA洗浄法等の所定の洗浄法を用いて、SiC基板1を十分清浄化する。そして、図14(c)に示すように、十分清浄化されたSiC基板1の表面を、1000℃から1150℃において乾燥酸素雰囲気中で熱酸化し、表面に厚さ5～40nm熱酸化膜3を成長する。次に、図15(d)に示すように、熱酸化膜3の上に、常圧CVD法でSiO<sub>2</sub>膜からなる上部絶縁膜4を堆積し、2層構造からなるフィールド絶縁膜5を形成する。熱酸化膜3の厚さと上部絶縁膜4の厚さとを合計したフィールド絶縁膜5の総厚を、100nm～600nm程度にすることが望ましい。

【0124】(ニ) 次にフィールド絶縁膜5の表面に、本発明のマスク材として、厚さ1～2μmのフォトレジスト22をスピンナーを用いて塗布する。そして、所定のフォトマスク(レティクル)を用い、フォトレジスト22を選択的に露光し、現像することによって開口部6に対応する部分のマスク材(フォトレジスト)22を除去し、窓部を形成する。続いて、このフォトレジスト22のマスクパターンをエッチングマスクとして用

い、SiC基板1をBHF溶液に浸漬し、ウェット・エッチングすることで、図15(e)に示すように、フィールド絶縁膜5に開口部6を形成する。微細な開口部6を形成する時は、ガスプラズマを用いたドライ・エッチングが好ましい。この場合、最初にドライ・エッチングを行い、フィールド絶縁膜5を数10nm残したところで、ウェット・エッチングに切り換えるようにする。第1の実施の形態で説明したように、ウェットエッチング単独で開口する場合でも、ドライエッチングとウェットエッチングの組み合わせで開口する場合でも、ウェット・エッチング又はドライ・エッチングをやや過剰に行い、フィールド絶縁膜5の開口部6がフォトレジストの開口部より大きくなり、アンダーカット部が生じるようにする。第1の実施の形態と同様に、エッチングモニタ部の目視により、n型SiC領域2の表面の露出が確認された後、更に所定の時間オーバーエッチングを追加すればよい。第2の実施形態では、本発明の「マスク材」としてフォトレジスト22を用いているが、このオーバーエッチング時に、エッチングされない材料であれば、フォトレジスト22以外の材料を本発明の「マスク材」として採用可能であることは勿論である。

【0125】(ホ)その後、エッチングマスクとしてのフォトレジスト22を残存した状態で、BHF溶液を超純水で完全に濯ぎ落とした(リンスした)後、乾燥する。そして、レジストマスク22が被着した状態のSiC基板1を、真空蒸着装置のチャンパー中に速やかに据え付け、直ちに真空排気する。コンタクト・ウィンドウ開口エッチングから真空排気までの大気中放置時間は、コンタクト抵抗 $\rho c$ の大小をする極めて重要な因子であることは、第1の実施の形態で説明した通りである。従って、大気に露出されている時間は、5分以内の出来るだけ短時間にする。そして、真空蒸着装置のチャンパーをターボ分子ポンプ、クライオポンプ等で、 $1.3 \times 10^{-5}$  Pa未満の圧力まで真空排気し、図15(f)に示すように、SiC基板1の表面に第1の導体膜17を蒸着する。第1の導体膜17としては、例えば、Ni膜を蒸着すれば良い。図15(f)に示すように、開口部の側壁に第1の導体膜(Ni膜)17が付着しないようにするためには、オリフィス等の指向性制御手段を用いて、蒸着ビームの指向性を向上させて行えば良い。この時、上述のように、フィールド絶縁膜5の開口部6はフォトレジスト・マスクの開口部より大きくなるようにアンダーカット部が形成されているため、開口部底部に蒸着される第1の導体素片27は、アンダーカット部の形状に正確に転写される。こうして、第1の導体素片27の周縁部とフィールド絶縁膜5の開口部側壁との間には、距離が一定で、且つ微細寸法の蒸着制限領域(側壁ギャップ)77が発生する。この微細な側壁ギャップ77は、開口エッチングのオーバーエッチング時間で精密にコントロール出来る。微細な側壁ギャップ77はフィ

ールド絶縁膜5の厚み(100nm~600nm)程度まで狭めて形成出来る。第1の導体膜17の厚みは、その下部にあるn型SiC領域2の拡散深さの1/2より薄く設定する。

【0126】(ヘ)第1の導体膜(Ni膜)17の真空蒸着後、SiC基板1を真空蒸着装置のチャンパーから取り出す。続いて、リフトオフ法を用いて、図16

(g)に示すように、開口部の内部のみにNi系電極膜7が選択的に埋設された基板構造を得る。即ち、フォトレジスト22を完全に除去すると、フォトレジスト22の上に被着した第1の導体膜(Ni膜)17もフォトレジスト22と共に除かれるので、図16(g)に示すように、開口部の内部のみに第1の導体素片27が選択的に残存する。この結果、第1の導体素片27の周縁部とフィールド絶縁膜5の開口部側壁との間には、微細寸法の側壁ギャップ77が自己整合的に形成される。

【0127】(ト)しかる後、SiC基板1を700℃~1050℃の非酸化性雰囲気で、短時間(数分程度)の熱処理を施すと、図16(h)に示すように、第1の導体素片27とSiC基板1が相互に反応して、両者の界面領域に加熱反応層8が生成され、加熱反応層とn型SiCとの間で優れたオーミック特性が実現される。数分程度の短時間の熱処理を行うためには、IRランプ加熱を用いれば良い。ここで「非酸化性雰囲気」とは、第1の実施の形態で説明したように、酸素( $O_2$ )や水( $H_2O$ )等の酸素を含む化合物の気体を含まない雰囲気のことである。厳密には、酸素及び水の分圧を $1 \times 10^{-6}$  Pa~ $1 \times 10^{-10}$  Pa程度に制御して、熱処理をすることが好ましい。第1の導体膜の厚みを、その下部にあるn型SiC領域2の厚みの1/2より薄く設定しておくことにより、第1の導体素片27が加熱処理で完全に加熱反応層8に転化した場合であっても、n型SiC領域2が下部に残されるよう保証される。

【0128】(チ)加熱反応層8の形成後に、図16(i)に示すように、SiC基板1全面にAl等の第2の導体膜19を蒸着する。そして、フォトリソグラフィ法とRIE等のエッチング技術でバターニングして、図13に示すような配線導体素片9を形成すれば、本発明の第2の実施の形態に係るオーミック電極構造体が完成する。なお、バターニングの際のエッチャント(=エッチング液或いはエッチングガス)が電極膜7を侵す時は、第2の導体膜19は必ず電極膜7を覆うように配設する構成とすれば良い。

【0129】このような構成で作製したn型SiC領域2に対するオーミック電極構造体が実用的コンタクト抵抗を示すか確かめるために、第1の実施の形態と同様な、コンタクト間隔が、 $L=6, 10, 15, 20, 25, 30 \mu m$ のリニアTLMコンタクト群を作製した。オーミック・コンタクトの電極をなす長方形の長辺(コンタクト幅)及び短辺の長さは、第1の実施の形態と同

様にそれぞれ200 $\mu$ m、100 $\mu$ mである。

【0130】評価した試料の主な構成は次の通りである。リニアTLMコンタクト群は、高抵抗のp型4H-SiC基板の上に、エピタキシャル成長させた厚み800nm、電子密度 $1.5 \times 10^{19} / \text{cm}^2$ のn型SiC領域に形成した。第1の導体膜は50nm厚のNi膜、フィールド絶縁膜5の熱酸化膜3は1100℃ドライ酸化膜(10nm厚)、上部絶縁膜4は常圧CVDで成膜したSiO<sub>2</sub>膜(400nm厚)である。加熱反応層8の熱処理温度及び熱処理時間、熱処理雰囲気はそれぞれ1000℃、2分、高純度Ar雰囲気である。第2の導体膜からなる配線導体素片9は厚さ1 $\mu$ mのAl膜である。

【0131】第1の実施形態と同様にTLM法で評価したところ、コンタクト抵抗 $\rho_c = 3.3 \times 10^{-8} \Omega \text{cm}^2$ が得られた。高不純物密度エピタキシャル膜でn型SiC層を形成する替わりに、第1の実施形態と同じP<sup>+</sup>イオン注入と活性化熱処理(条件同一)でn型SiC層を形成した場合には、他の条件が同じなら、第1の実施形態のNiを用いたオーミック電極構造体と誤差の範囲で等しいコンタクト抵抗 $7.4 \times 10^{-7} \Omega \text{cm}^2$ が得られる。

【0132】図10は、第1の導体膜17としてのNi膜の厚さを変えた場合の、Ni膜の厚さ(膜厚)と表面モホロジーとの関係を示す図である。図10に示した観察においては、加熱反応層8の熱処理条件は、熱処理温度は1000℃で、熱処理時間は2分である。熱処理雰囲気は高純度Ar雰囲気である。図10(a)は、Ni膜の膜厚が200nmで熱処理前の試料の表面モホロジーをスケッチした図である。図10(b)は、このNi膜の膜厚が200nmの試料の熱処理後の表面モホロジーをスケッチした図であるが、Ni膜の膜厚が200nmでは、表面モホロジーの低下が認められる。図10(c)は、Ni膜の膜厚が100nmの試料に対して、熱処理した場合の表面モホロジーで、膜厚200nmに比すれば良好であるが、未だ若干の表面モホロジーの低下が認められる。図10(d)及び図10(e)は、それぞれ、Ni膜の膜厚が50nm及び20nmの場合の試料の熱処理後の表面モホロジーで、膜厚50nm以下にすれば、フォトリソグラフィ工程等の製造プロセスに対応可能な良好な表面モホロジーが得られることが分かる。

【0133】図11は、第1の導体膜17としてのNi膜の厚さを変えた場合の、Ni膜の厚さとオーミック電極構造体のコンタクト抵抗との関係を示す図である。Ni膜の膜厚が200nm及び100nmではほぼ同程度のコンタクト抵抗である。Ni膜の膜厚50nmの場合は、膜厚が200nm及び100nmの場合より低いコンタクト抵抗が得られることが分かる。Ni膜の膜厚50nmの試料の熱処理後の表面モホロジーが良好なこと

を反映していると考えられる。但し、Ni膜の膜厚20nmの場合の試料では、コンタクト抵抗の増大が認められる。加熱反応層8の厚さが不十分と思われる。従って、膜厚50nmの場合が、最もコンタクト抵抗が低いことになる。

【0134】図12は、本発明の第2の実施形態に係るオーミック電極構造体の不純物密度とコンタクト抵抗との関係を、従来技術の結果と共に示す図である。エピタキシャル成長により得られた不純物密度 $1.5 \times 10^{19} \text{cm}^{-3}$ のn型SiC領域に対して、従来のいずれの結果よりも低いコンタクト抵抗 $\rho_c = 3.3 \times 10^{-7} \Omega \text{cm}^2$ の値が得られることが分かる。イオン注入により得られた不純物密度 $1.5 \times 10^{19} \text{cm}^{-3}$ のn型SiC領域に対しても、従来のいずれの結果よりも低いコンタクト抵抗 $\rho_c = 8.6 \times 10^{-7} \Omega \text{cm}^2$ の値が得られることが分かる。このように第2の実施の形態に係るオーミック電極構造体は、従来と同等、或いはそれよりも低い実用的なコンタクト抵抗を、簡単に実現出来る。

【0135】(第3の実施形態)本発明の「半導体装置」としては、例えばダイオード、絶縁ゲート型バイポーラトランジスタ(IGBT)、電界効果トランジスタ(FET)、静電誘導トランジスタ(SIT)、バイポーラトランジスタ(BJT)、静電誘導サイリスタ(SIサイリスタ)、GTOサイリスタ等の種々の半導体電子デバイスに適用可能である。

【0136】一般に半導体電子デバイスは、第1主電極領域、第2主電極領域及び制御電極を有する。第1主電極領域と第2主電極領域との間に主電流の通路が形成される。この主電流は、制御電極に印加される電圧又は電流で制御される。従って、「第1主電極領域」とは、例えば、BJTやIGBTにおいては、エミッタ領域又はコレクタ領域のいずれか一方、MOSFETやMOSSIT等の絶縁ゲート型トランジスタ(IGT)においては、ソース領域又はドレイン領域のいずれか一方を意味する。「第2主電極領域」とは、BJTやIGBTにおいては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方、IGTにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方を意味する。即ち、第1主電極領域が、エミッタ領域であれば、第2主電極領域はコレクタ領域であり、第1主電極領域がソース領域であれば、第2主電極領域はドレイン領域である。また、「制御電極」とはIGBT及びIGTのゲート電極を意味することは勿論である。また、ダイオード等の制御電極を有しないSiC半導体装置でも、同様に、第1主電極領域及び第2主電極領域が定義される。

【0137】図17は、本発明の第3の実施の形態に係る半導体装置としての横型MOSFETの要部断面図である。第3の実施の形態に係る半導体装置(横型MOSFET)は、p型SiC基板11を用いて構成され、こ

のp型SiC基板11の表面に選択的に形成されたn型SiC領域2sからなる第1の主電極領域(ソース領域)2s、及びn型SiC領域2sからなる第2の主電極領域(ドレイン領域)2dとを有している。更に、p型SiC基板11の上には、ゲート酸化膜3が配置されている。ソース領域2sとドレイン領域2dとの間のゲート酸化膜3の上部には、ゲート電極63が配置されている。そして、ゲート電極63の上部及びゲート電極63が配置されていないゲート酸化膜3の上部には、上部絶縁膜4が形成されている。ゲート酸化膜3と上部絶縁膜4とで、フィールド絶縁膜5が構成されている。

【0138】フィールド絶縁膜5中には、ソース領域2sの表面を露出するように開口された開口部、ドレイン領域2dの表面を露出するように開口された開口部が形成されている。それぞれの開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77s、77dを隔て、ソース電極膜7s及びドレイン電極膜7dが配置されている。更に、フィールド絶縁膜5のソース領域2sの上部の開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77sを隔て、且つソース電極膜7sとソース領域2sの間には、加熱反応層8sが配置され、ドレイン領域2dの上部の開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77dを隔て、且つドレイン電極膜7dとドレイン領域2dの間には加熱反応層8dが配置されている。第3の実施の形態に係る半導体装置は、更に、ソース領域2sの上部の開口部の内部において、ソース電極膜7sの表面に接し、且つフィールド絶縁膜5の上部にまで延伸された第1の主電極配線(ソース配線)9sと、ドレイン領域2dの上部の開口部の内部において、ドレイン電極膜7dの表面に接し、且つフィールド絶縁膜5の上部にまで延伸された第2の主電極配線(ドレイン配線)9dとを有している。

【0139】なお、半導体装置の設計により、各主電極領域2s、2dに配線導体素片(主電極配線)9s、9dを介してそれぞれ接続されるボンディングパッド(図示省略)を、フィールド絶縁膜5の上に形成しても良い。ゲート電極63も同様に、配線導体素片を介してボンディングパッドが接続される。そして、これらの配線導体素片及びボンディングパッドの上部には、酸化膜(SiO<sub>2</sub>)、PSG膜、BPSG膜、窒化膜(Si<sub>3</sub>N<sub>4</sub>)、或いはポリイミド膜等からなるパッシベーション膜を形成しても良い。そして、パッシベーション膜の一部に複数の電極層を露出するように複数の開口部(窓部)を設け、ボンディングを可能にすることが出来る。

【0140】第3の実施の形態に係る半導体装置によれば、ソース領域2sに対するオーミック電極において、ソース電極膜7s及び加熱反応層8sを構成する金属材料が、フィールド絶縁膜5と反応しない構造になっている。同様に、ドレイン領域2dに対するオーミック電極

において、ドレイン電極膜7d及び加熱反応層8dを構成する金属材料が、フィールド絶縁膜5と反応しない構造になっている。このため、ソース電極膜7s及びドレイン電極膜7dを構成する金属材料との接触面にあるフィールド絶縁膜5が高温度処理で還元(浸食)されることがない。従って、半導体装置のソース領域2s及びドレイン領域2dの周辺に形成されたフィールド絶縁膜5の高い絶縁性が維持出来、リーク電流も低減出来る。

【0141】また、ソース電極膜7s及びドレイン電極膜7dを構成する金属材料がフィールド絶縁膜5に接していないので、ソース電極膜7s又はドレイン電極膜7dとフィールド絶縁膜5の接着力が弱いという問題は、本来的に存在しない。このため、半導体装置の製造プロセス終了後にソース電極膜7s又はドレイン電極膜7dが剥落することではなく、半導体装置の製造歩留まりが高くなる。

【0142】更に、オーミック電極の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来るので、低いコンタクト抵抗のオーミック電極が、ソース領域2s又はドレイン領域2dに対して形成出来る。また、寄生のショットキー接合の生成に伴うソース領域2s又はドレイン領域2d中の水平方向の電流の流れの阻害もない。この結果、高耐圧で且つ高速に動作可能な半導体装置が実現出来る。特に、電力用半導体装置においては、低いオン抵抗と高速なスイッチングを同時に達成出来る。

【0143】特に、ソース電極膜7s及び加熱反応層8sの周縁部と開口部側壁との間の側壁ギャップ77s、及びドレイン電極膜7d及び加熱反応層8dの周縁部と開口部側壁との間の側壁ギャップ77dを、フィールド絶縁膜5の厚みより小さい微細寸法と出来るため、ソース領域2s及びドレイン領域2dに対するオーミック電極の占有面積を小さく出来、半導体装置の集積密度を向上出来る。

【0144】次に図18～図20に示す工程断面図(その1～その3)を参照しながら、本発明の第3の実施の形態に係る半導体装置(横型MOSFET)の製造工程を説明する。

【0145】(イ) 先ず図14(a)から図14(c)と同様な工程で、8°オフのp型4H-SiC基板11のSi面の表面に、厚さ数100nmの1×10<sup>19</sup>/cm<sup>3</sup>以上の高不純物密度のn型SiC領域を、エピタキシャル成長する。そして、エピタキシャル成長を選択的にエッチングすることにより、互いに対向したメサ形状のn型SiC領域からなるソース領域2s及びドレイン領域2dを形成する。即ち、SiC基板11の表面の異なる2つの場所に、互いに一定距離離間して、凸部形状のソース領域2s及びドレイン領域2を形成する。平面図を省略しているが、ソース領域2s及びドレイン領域2は、互いの長辺を平行にした2つの矩形(長方形)の

パターンとして配列される。集積回路の場合であれば、ソース領域2s及びドレイン領域2を構成する2つの矩形(長方形)のパターンの領域の外側には、素子分離領域が形成される。更に、デバイスの仕様に依じてチャネルストップのイオン注入工程を加えても良く、パワーデバイスならば、ガードリング領域等の形成工程を加えても良い。素子分離領域形成後、周知のRCA洗浄法等の所定の洗浄法を用いて、SiC基板11を十分清浄化し、図18(a)に示すように、SiC基板11の表面に、厚さ35~40nmのゲート酸化膜としての熱酸化膜3を成長する。乾燥酸素中、雰囲気1150℃で3時間熱酸化すれば、35~40nmの熱酸化膜(ゲート酸化膜)3が得られる。素子分離領域は、トレンチにCVD法等で堆積した絶縁膜を埋め込む等の方法で、形成すれば良い。ゲート酸化膜3の厚さを、5~20nmとした場合は、ゲート酸化膜3の上に、更に、厚さ35~80nmのシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)を常圧CVD法で形成し、いわゆるNO膜でゲート絶縁膜を形成しても良い。

【0146】(ロ)ゲート酸化膜(ゲート絶縁膜)3の形成後、必要に応じて閾値制御のイオン注入を行う(ゲート酸化膜3の形成前に、閾値制御のイオン注入を行っても良い)。その後、図18(b)に示すように、タングステン(W)、チタン(Ti)、モリブデン(Mo)等の高融点金属、或いは、これらのシリサイド(WSi<sub>2</sub>、TiSi<sub>2</sub>、MoSi<sub>2</sub>)等のゲート電極材料61を、ゲート酸化膜3の上の全面に、スパッタリング法、真空蒸着法、CVD法等で堆積する。そして、ゲート電極材料61の表面に厚さ1~2μmのフォトレジスト62をスピンナーを用いて塗布する。そして、所定のフォトマスク(レティクル)を用い、フォトレジスト62を選択的に露光し、現像することによって図18(c)に示すように、ゲート電極63に対応する部分のフォトレジスト62のみを選択的に残存させる。更に、フォトレジスト62をエッチングマスクとして用い、図18(c)に示すように、RIE法とを用いて、ゲート電極材料61をパターンニングし、ソース領域2sとドレイン領域2dとの間のゲート酸化膜(ゲート絶縁膜)3の上にゲート電極63を形成する。

【0147】(ハ)そして、図19(d)に示すように、ゲート電極63の形成後、フォトレジスト62を除去し、更に、RCA洗浄法等でSiC基板11の表面を清浄化する。十分清浄化されたゲート電極63及びゲート酸化膜3の上に、常圧CVD法でSiO<sub>2</sub>膜からなる上部絶縁膜4を堆積する。この結果、ゲート電極63以外の領域においては、2層構造からなるフィールド絶縁膜5が形成される。ゲート酸化膜3の厚さと上部絶縁膜4の厚さとを合計したフィールド絶縁膜5の総厚を、100nm~600nm程度にすることが望ましい。

【0148】(ニ)次にフィールド絶縁膜5の表面

に、本発明の「マスク材」としての厚さ1~2μmのフォトレジスト22をスピンナーを用いて塗布する。そして、所定のフォトマスク(レティクル)を用い、マスク材(フォトレジスト)22を選択的に露光し、現像することによって開口部6s及び6dに対応する部分のフォトレジスト22を除去し窓部を形成する。続いて、このフォトレジスト22のマスクパターンをエッチングマスクとして用い、SiC基板11をBHF溶液に浸漬し、ウェット・エッチングすることで、図19(e)に示すように、フィールド絶縁膜5に開口部6s及び6dを形成する。微細な開口部6s及び6dを形成する時は、ガスプラズマを用いたドライ・エッチングが好ましい。例えば、CHF<sub>3</sub>やC<sub>2</sub>F<sub>6</sub>などをエッチャントとしたRIE法やECRイオンエッチング等の種々のドライ・エッチングを使用することが出来る。この場合、最初にドライ・エッチングを行い、フィールド絶縁膜5を数10nm残したところで、ウェット・エッチングに切り換えるようにする。第1の実施の形態で説明したように、ウェットエッチング単独で、開口部6s及び6dを開く場合でも、ドライエッチングとウェットエッチングの組み合わせで開く場合でも、ウェット・エッチング又はドライ・エッチングをやや過剰に行い、フィールド絶縁膜5の開口部6s及び6dがフォトレジストの開口部より大きくなり、それぞれアンダーカット部が生じるようにする。第1及び第2の実施の形態と同様に、エッチングモニタ部の目視により、ソース領域2sとドレイン領域2dの表面の露出が確認された後、更に所定の時間オーバーエッチングを追加すればよい。第3の実施形態では、本発明の「マスク材」としてフォトレジスト22を用いているが、このオーバーエッチング時に、エッチングされない材料であれば、フォトレジスト22以外の材料を本発明の「マスク材」として採用可能である。

【0149】(ホ)その後、エッチングマスクとしてのフォトレジスト22を残存した状態で、BHF溶液を超純水で完全に濯ぎ落とした(リンスした)後、乾燥する。そして、レジストマスク22が被着した状態のSiC基板11を、真空蒸着装置のチャンバー中に速やかに据え付け、直ちに真空排気する。即ち、SiC基板11の表面が大気に露出される時間は、5分以内の可能な限り短時間でを行う。そして、真空蒸着装置のチャンバーをターボ分子ポンプ、クライオポンプ等で、1.3×10<sup>-5</sup>Pa未満の圧力まで真空排気し、図19(f)に示すように、SiC基板11の表面に第1の導体膜17を蒸着する。第1の導体膜17としては、例えばNi膜を用いる。なお、図19(f)に示すように、開口部6s及び6dの側壁に第1の導体膜17が付着しないようにするためには、オリフィス等を用いて、蒸着ビームの指向性を向上させて行えば良い。この時、図19(f)に示すように、フィールド絶縁膜5の開口部はフォトレジスト・マスク22の開口部より大きくなるようにアンダ

一カット部が形成されているため、開口部底部に蒸着される第1の導体膜17s及び17dは、アンダーカット部の形状に正確に転写される。こうして、第1の導体膜17s及び17dの周縁部とフィールド絶縁膜5の開口部の側壁との間には、距離が一定で、且つ微細寸法の蒸着制限領域（側壁ギャップ）77s及び77dが発生する。この微細な側壁ギャップ77s及び77dは、開口部エッチングのオーバーエッチング時間で精密にコントロール出来る。第1の導体膜17（17s及び17d）の厚みは、その下部にあるソース領域2s及びドレイン領域2dの拡散深さの1/2より薄く設定する。

【0150】（へ）第1の導体膜17の真空蒸着後、SiC基板11を真空蒸着装置のチャンバーから取り出す。続いて、リフトオフ法を用いて、図20（g）に示すように、それぞれの開口部の内部のみに第1の導体素片27s及び27dが選択的に埋設される。この結果、それぞれの第1の導体素片27s及び27dの周縁部とフィールド絶縁膜5の開口部側壁との間には、微細寸法の側壁ギャップ77s及び77dが自己整合的に形成される。

【0151】（ト）しかる後、SiC基板11を700℃～1050℃の非酸化性雰囲気中で、短時間（数分程度）の熱処理を施すと、図20（h）に示すように、第1の導体素片27s及び27dとSiC基板11が相互に反応して、両者の界面領域に加熱反応層8s及び8dが生成され、加熱反応層8sとソース領域2sとの間、及び加熱反応層8dとドレイン領域2dとの間で、それぞれ優れたオーミック特性が実現される。「非酸化性雰囲気」としての酸素及び水の分圧の制御に関しては、厳重なる管理が必要で、熱処理雰囲気に含まれる酸素及び水の分圧は少なくとも、 $1 \times 10^{-3}$  Pa～ $1 \times 10^{-10}$  Pa程度、望ましくは、 $1 \times 10^{-5}$  Pa～ $1 \times 10^{-10}$  Pa程度に設定する。

【0152】（チ）加熱反応層8s及び8dの形成後に、図20（i）に示すように、SiC基板11全面にA1等の第2の導体膜19を蒸着する。そして、フォトリソグラフィ法とRIE等のエッチング技術で、ソース配線9s及びドレイン配線9dをバタニングすれば、本発明の第3の実施の形態に係るMOSFETが完成する（図17参照。）。

【0153】第3の実施の形態に係る半導体装置の製造方法によれば、ソース領域2s及びドレイン領域2dに対するオーミック電極を形成するためのコンタクトホールを形成する際に、フィールド絶縁膜5に対するオーバーエッチングのエッチング時間の制御により、窓部近傍のマスク材の下部に形成されるアンダーカット部の深さが制御出来るので、寸法制御が容易である。また、このアンダーカット部の深さにより、オーミック電極を形成するための第1の導体素片27とフィールド絶縁膜5との一定の間隙（側壁ギャップ）77s、77dを自己整

合的に決定出来るので、オーミック電極とフィールド絶縁膜5との一定の間隙（側壁ギャップ）77s、77dを制御するためのフォトリソグラフィ工程は不要である。このため、オーミック電極となる第1の導体素片27とフィールド絶縁膜5の開口部側壁との間隔を十分に小さく出来、占有面積の小さく、微細寸法を有したオーミック電極を配置出来る。

【0154】更に、フォトリソグラフィ工程が省略出来るため、半導体装置のソース領域2s及びドレイン領域2dに対するオーミック電極形成に係わる工程数が減少し、半導体装置の製造歩留まりが高くなる。更に、第3の実施の形態に係る半導体装置は、標準的なSi半導体デバイス製造方法が適用可能なので、容易且つ信頼性が高い。

【0155】更に、第1の導体素片27が、フィールド絶縁膜5と反応することが防止出来るので、第1の導体素片27を構成する金属材料との接触面にあるフィールド絶縁膜5が高温熱処理で還元（浸食）されることがなく、フィールド絶縁膜5の絶縁性が維持出来る。また、オーミック電極を構成する金属材料がフィールド絶縁膜5に接していないので、第1の導体素片27から生成されたオーミック電極とフィールド絶縁膜5の接着力が弱いという問題は、本来的に存在しない。このため、プロセス終了後にオーミック電極が剥落することなく、製造歩留まりが高くなる。

【0156】更に、オーミック電極の加熱反応層8sを生成する工程において、オーミック電極の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系の共存する状態が存在しないので、3元系の反応による寄生のショットキー接合の生成も回避出来、低いコンタクト抵抗が達成出来る。また、寄生のショットキー接合の生成に伴うソース領域2s及びドレイン領域2dの水平方向の電流の流れの阻害もないので、良好な特性の半導体装置が簡単に製造出来る。

【0157】（その他の実施の形態）上記のように、本発明は第1乃至第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0158】例えば、既に述べた第3の実施の形態の説明においては、リセスゲート構造の横型MOSFETに付いて説明したが、図21に示すような平面ゲート構造の横型MOSFETでもかまわない。第3の実施の形態と同様に、p型SiC基板11を用いて構成されているが、図17とは異なり、p型SiC基板11の表面は同一レベルの平面で構成されている。即ち、n型SiC領域からなる第1の主電極領域（ソース領域）2s及び第2の主電極領域（ドレイン領域）2dの表面のレベルと、ゲート酸化膜3が配置されているソース領域2sと

ドレイン領域2 dとの間のp型SiC基板1 lの表面とは同一レベルである。この平面ゲート構造のゲート酸化膜3の上部には、ゲート電極6 3が配置されている。そして、ゲート電極6 3の上部及びゲート電極6 3が配置されていないゲート酸化膜3の上部には、上部絶縁膜4が形成され、ゲート酸化膜3と上部絶縁膜4とで、フィールド絶縁膜5が構成されている。他は、図17と同様なので、重複した説明を省略する。

【0159】図21に示した、他の実施の形態に係る半導体装置においても、ソース領域2 sに対するオーミック電極において、ソース電極膜7 s及び加熱反応層8 sを構成する金属材料が、フィールド絶縁膜5と反応せず、ドレイン領域2 dに対するオーミック電極において、ドレイン電極膜7 d及び加熱反応層8 dを構成する金属材料が、フィールド絶縁膜5と反応しない構造になっている。このため、ソース電極膜7 s及びドレイン電極膜7 dを構成する金属材料との接触面にあるフィールド絶縁膜5が高温熱処理で還元（浸食）されることがない。更に、オーミック電極の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来るので、低いコンタクト抵抗のオーミック電極が、ソース領域2 s又はドレイン領域2 dに対して形成出来る。

【0160】リセスゲート構造や平面ゲート構造の横型MOSFET以外にも、縦型のMOSFETでも良い。またU溝やV溝にゲート酸化膜とゲート電極を構成した縦型のMOSFETでも良い。更に、埋め込みドレイン領域を有するMOSFETでも良い。埋め込みドレイン領域を有するMOSFETにおいては、シンカー領域を用いて、埋め込みドレイン領域から電流を引き出すがこの場合オン抵抗の増大が懸念される。しかしながら、本発明の適用により、微細な構造のシンカー領域とこれに接続されるオーミック電極を多数配列することにより、低いオン抵抗と高速なスイッチングを同時に達成出来る。2重拡散構造のpチャンネルのパワーMOSFETでは、ドリフト領域として機能するn型SiC基板（或いはν型SiC基板若しくはi型SiC基板）の表面に、ドレイン領域（主電極領域）としての高不純物密度のn型SiC領域を形成可能である。この場合、ソース領域としての他のn型SiC領域が、n型SiC基板の表面に形成されたpボディ領域に形成される。

【0161】同様に、n型SiC基板（或いはν型SiC基板）の表面にドレイン領域としてのn型SiC領域と、ソース領域としてのn型SiC領域を形成し、ソース領域とドレイン領域2の間のn型SiC基板（或いはν型SiC基板）の表面に、ショットキー電極を構成すれば、MESFETが実現出来る。

【0162】更に、第3の実施の形態の説明の冒頭で説明したように、FET以外に、本発明の「半導体装置」として、ダイオード、IGBT、SIT、BJT、SI

サイリスタ、GTOサイリスタ等の種々の半導体電子デバイスに適用可能である。例えば、npn型バイポーラトランジスタであれば、コレクタ領域となる低不純物密度のn型（若しくはν型）SiC基板の表面に、p型SiC領域からなるベース領域をウェル形状に形成し、このベース領域の平面上の内部の位置において、主電極領域（エミッタ領域）としての高不純物密度のn型SiC領域を形成しても良い。この場合、コレクタ領域となる低不純物密度のn型SiC基板の代わりに真性半導体（i型）のSiC基板を用い、i型SiC基板の裏面（若しくは表面の一部）に、高不純物密度のn型SiC領域からなるコレクタ領域を形成しても良い。

【0163】GTOサイリスタ等のサイリスタであれば、nベース領域となるn型SiC基板の表面の一部又は全面に、p型SiC領域からなるpベース領域を形成し、このpベース領域の内部に、カソード領域（主電極領域）としての高不純物密度のn型SiC領域をエピタキシャル成長により形成することが可能である。この場合、nベース領域となるn型SiC基板の裏面には、アノード領域としてのp型SiC領域が形成される。

【0164】一方、nチャンネルの接合型FETや接合型SITでは、チャンネル領域として機能するn型SiC基板（或いはn<sup>-</sup>型（ν型）SiC基板、若しくはi型SiC基板）の表面に、ソース領域（主電極領域）としての高不純物密度のn型SiC領域を形成可能である。図22は、切り込みゲート型のSITの模式的な断面図である。図22においては、チャンネル領域として機能するn型SiC基板12の表面に、ソース領域（第1の主電極領域）としての高不純物密度のn型SiC領域87が形成され、n型SiC基板12の裏面に、ドレイン領域（第2の主電極領域）としての高不純物密度のn型SiC領域81が形成されている。そして、ソース領域87及びドレイン領域81間を流れる主電流を制御するために、n型SiC基板12の表面に設けられたゲート溝部の底部にp型SiC領域84からなるゲート領域が形成されている。ゲート領域84には、ゲート加熱反応層85を介してゲート電極膜86が接続されている。ゲート電極膜86には、Al-Ti系電極膜が使用可能である。例えば、Ti（50nm厚）/Al（300nm厚）積層膜を用いればよい。そして、ゲート電極膜86には、Al、Al-Si、Al-Cu-Si、Cu、Ti-W等のゲート配線92が接続されている。ドレイン領域81には、ドレイン加熱反応層82を介して、ドレイン電極83が形成されている。

【0165】図22に示す接合型SITでは、n型SiC基板12の表面に選択的に形成されたn型SiC領域87からなるソース領域87を囲んで、n型SiC基板12の上にフィールド絶縁膜5が載置されたている。フィールド絶縁膜5は、熱酸化膜3と、熱酸化膜以外の絶縁膜である上部絶縁膜4とから構成されている。そし



て、フィールド絶縁膜5中にソース領域87の表面を露出するように開口された開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77を隔てて配置されたソース電極膜97、フィールド絶縁膜5の開口部の内部において、フィールド絶縁膜5から一定の間隙(側壁ギャップ)77を隔て、且つソース電極膜97とソース領域87の間に配置されたソース加熱反応層98、フィールド絶縁膜5の開口部の内部において、ソース電極膜97の表面に接し、且つフィールド絶縁膜5の上部にまで伸延された第1の主電極配線(ソース配線)91とを有している。

【0166】図22に示すソース領域87及びドレイン領域81間のポテンシャルと、ゲート領域84に印加されるゲート電圧によるチャネル中のポテンシャルの2次元空間における鞍部点であるポテンシャルの高さが、ドレイン領域81に印加されるドレイン電圧及びゲート領域84に印加されるゲート電圧で制御され、主電流が制御される。SITの電流・電圧特性は真空管の三極管特性と同様な指数関数則に従った特性を示す。図22に示す接合型SITによれば、ソース領域87に対するオーミック電極において、ソース電極膜97及び加熱反応層98を構成する金属材料が、フィールド絶縁膜5と反応しない構造になっているので、金属材料との接触面にあるフィールド絶縁膜5が高温熱処理で還元(浸食)されることがない。このため、接合型SITのソース領域87の周辺に形成されたフィールド絶縁膜5の高い絶縁性が維持出来、リーク電流も低減出来る。また、ソース電極膜97を構成する金属材料がフィールド絶縁膜5に接していないので、ソース電極膜97とフィールド絶縁膜5の接着力が弱いという問題は、本来的に存在しない。このため、接合型SITの製造プロセス終了後にソース電極膜97が剥落することはなく、接合型SITの製造歩留まりが高くなる。更に、オーミック電極の底部外縁部における金属-SiC-SiO<sub>2</sub>の3元系共存反応による寄生のショットキー接合の生成も回避出来るので、低いコンタクト抵抗のオーミック電極が達成出来る。この結果、高耐圧で且つ高速に動作可能な接合型SITが実現出来る図22に示す接合型SITにおいて、ドレイン領域としての高不純物密度のn型SiC領域81の代わりに、アノード領域としての高不純物密度のp型SiC領域を形成すれば、nチャネルのSIサイリスタとなる。この場合、ソース領域としての高不純物密度のn型SiC領域87は、カソード領域として機能する。

【0167】nチャネルのIGBTでは、ドリフト領域として機能するn型SiC基板(或いはν型SiC基板)の表面(若しくは裏面)に、コレクタ領域としての高不純物密度のn型SiC領域を形成可能である。この場合、エミッタ領域としての他のn型SiC領域が、n型(或いはν型)SiC基板のコレクタ領域とは異なる位置の表面に形成されたpボディ領域の内部に形成され

る。本発明のオーミック電極構造体は、これら種々の半導体電子デバイスの主電極領域としての高不純物密度のn型SiC領域に適用可能である。上記の第1乃至第3の実施の形態の製造プロセスにおいては、フィールド絶縁膜5の要素である熱酸化膜3は上部絶縁膜4形成の直前に形成する構成となっているが、図23の工程断面図に示すように、熱酸化膜の形成を上部絶縁膜4形成の直後にする構成としても、ほぼ同様な効果が得られる。

【0168】(イ)例えば、第1の実施の形態で説明した方法と全く同様の方法で、SiC基板1の表面にn型SiC領域32を形成する。そして、RCA洗浄法等のSiC基板1洗浄法を用いて、SiC基板1を十分清浄化する。この後、SiC基板1の上に、図23(a)に示すように、常圧CVD法でSiO<sub>2</sub>膜等の酸素透過性絶縁膜44を堆積する。

【0169】(ロ)酸素透過性絶縁膜44を堆積後、図23(b)に示すように、乾燥酸素雰囲気中で熱処理し、SiC基板1の表面を熱酸化し、酸素透過性絶縁膜44とSiC基板1との界面に熱酸化膜3を成長する。第1の実施の形態と同様に、熱酸化膜3の厚さは50nm未満、好ましくは5~20nmが望ましい。この結果、熱酸化膜3の上に、酸素透過性絶縁膜(SiO<sub>2</sub>膜)44からなる上部絶縁膜4が位置し、2層構造からなるフィールド絶縁膜5が形成される。

【0170】(ハ)この後は、第1の実施の形態で説明した図3(f)以下に示す方法と全く同様の工程を進めることが可能である。即ち、図23(c)に示すように、フィールド絶縁膜5の表面に厚さ1~2μmのフォトレジスト22をスピンナーを用いて塗布する。そして、所定のフォトマスク(レティクル)を用い、フォトレジスト22を選択的に露光し、現像することによって開口部6に対応する部分のフォトレジスト22を除去する。続いて、このフォトレジスト22のパターンをエッチングマスクとして用い、ウェット・エッチングすることで、図23(c)に示すように、フィールド絶縁膜5に開口部6を形成する。このとき、第1の実施の形態で説明したように、n型SiC領域32の表面の露出が確認されたジャストエッチングの後、更に所定のアンダーカット部の深さが得られるまで、オーバーエッチングを追加する。この後の説明は、重複するので省略する。

【0171】図23に示す方法を用いても、10<sup>-7</sup>Ωcm<sup>2</sup>程度の実用的なコンタクト抵抗ρcを達成することが可能である。このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るオーミック電極構造体の構成を示す要部断面図である。

【図 2】本発明の第 1 の実施形態に係るオーミック電極構造体の製造工程を説明するための工程断面図（その 1）である。

【図 3】本発明の第 1 の実施形態に係るオーミック電極構造体の製造工程を説明するための工程断面図（その 2）である。

【図 4】本発明の第 1 の実施形態に係るオーミック電極構造体の製造工程を説明するための工程断面図（その 3）である。

【図 5】本発明の第 1 の実施形態に係るオーミック電極構造体を説明するための TLM 接触群の電流-電圧特性である。

【図 6】本発明の第 1 の実施形態に係るオーミック電極構造体を説明するための TLM 接触群の TLM 特性を示す図である。

【図 7】ノマルスキー干渉顕微鏡による接触・ウィンドウ内の表面モホロジーの観察結果を示す図である。

【図 8】本発明の第 1 の実施形態に係るオーミック電極構造体の断面 TEM 像をスケッチした図である。

【図 9】ラザフォード後方散乱分析により求めた本発明の第 1 の実施形態に係るオーミック電極構造体の厚み方向の組成の変化を示す図である。

【図 10】本発明の第 2 の実施形態に係るオーミック電極構造体の厚さと表面モホロジーとの関係を示す図である。

【図 11】本発明の第 2 の実施形態に係るオーミック電極構造体の電極の厚さと接触抵抗との関係を示す図である。

【図 12】本発明の第 2 の実施形態に係るオーミック電極構造体の不純物密度と接触抵抗との関係を、従来技術の結果と共に示す図である。

【図 13】本発明の第 2 の実施形態に係るオーミック電極構造体の構成を示す要部断面図である。

【図 14】本発明の第 2 の実施形態に係るオーミック電極構造体の製造工程を説明するための工程断面図（その 1）である。

【図 15】本発明の第 2 の実施形態に係るオーミック電極構造体の製造工程を説明するための工程断面図（その 2）である。

【図 16】本発明の第 2 の実施形態に係るオーミック電極構造体の製造工程を説明するための工程断面図（その 3）である。

【図 17】本発明の第 3 の実施形態に係る半導体装置（横型 MOSFET）の構成を示す要部断面図である。

【図 18】本発明の第 3 の実施形態に係る半導体装置（横型 MOSFET）の製造工程を説明するための工程断面図（その 1）である。

【図 19】本発明の第 3 の実施形態に係る半導体装置の製造工程を説明するための工程断面図（その 2）であ

る。

【図 20】本発明の第 3 の実施形態に係る半導体装置の製造工程を説明するための工程断面図（その 3）である。

【図 21】本発明の他の実施形態に係る半導体装置（横型 MOSFET）の構成を示す要部断面図である。

【図 22】本発明の更に他の実施形態に係る半導体装置（接合型 SIT）の構成を示す要部断面図である。

【図 23】本発明の更に他の実施形態に係るオーミック電極構造体の製造工程を説明するための工程断面図の一部である。

【図 24】第 1 の従来技術に係るオーミック電極構造の構成を示す要部断面図である。

【図 25】第 2 の従来技術に係るオーミック電極構造の構成を示す要部断面図である。

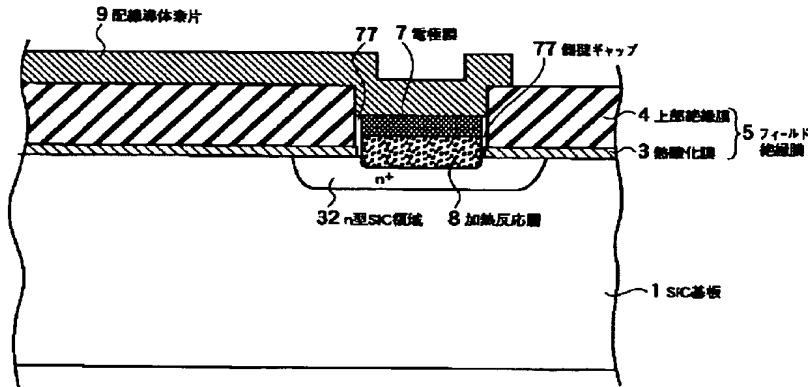
【符号の説明】

- 1, 11, 12 SiC 基板
- 2, 32 n 型 SiC 領域
- 2s 第 1 の主電極領域（ソース領域）
- 2d 第 2 の主電極領域（ドレイン領域）
- 3 熱酸化膜（ゲート酸化膜）
- 4 上部絶縁膜
- 5 フィールド絶縁膜
- 6 フィールド絶縁膜の開口部
- 7, 47 電極膜
- 7s ソース電極膜
- 7d ドレイン電極膜
- 8, 8s, 8d 加熱反応層
- 9 配線導体素片
- 9s 第 1 の主電極配線（ソース配線）
- 9d 第 2 の主電極配線（ドレイン配線）
- 17, 17s, 17d 第 1 の導体膜
- 27, 27s, 27d 第 1 の導体素片（第 1 の導体膜の素片）
- 19 第 2 の導体膜
- 20 エピタキシャル成長層
- 21 エッチングマスク
- 22, 23, 34, 62 フォトリソ
- 33 イオン注入マスク
- 35 イオン注入スルー膜
- 42 第 1 金属膜（Ni 膜）
- 43 Si 酸化膜（フィールド絶縁膜）
- 44 酸素透過性絶縁膜
- 45 オーミック接触片
- 61 ゲート電極材料
- 63 ゲート電極
- 77, 77s, 77d 間隙
- 81 ドレイン領域（第 2 の主電極領域）
- 82 ドレイン加熱反応層
- 83 ドレイン電極

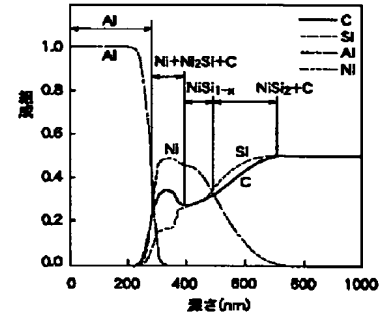
- 84 ゲート領域  
 85 ゲート加熱反応層  
 86 ゲート電極膜  
 87 ソース領域（第1の主電極領域）

- \* 91 第1の主電極配線（ソース配線）  
 92 ゲート配線  
 97 ソース電極膜  
 \* 98 ソース加熱反応層

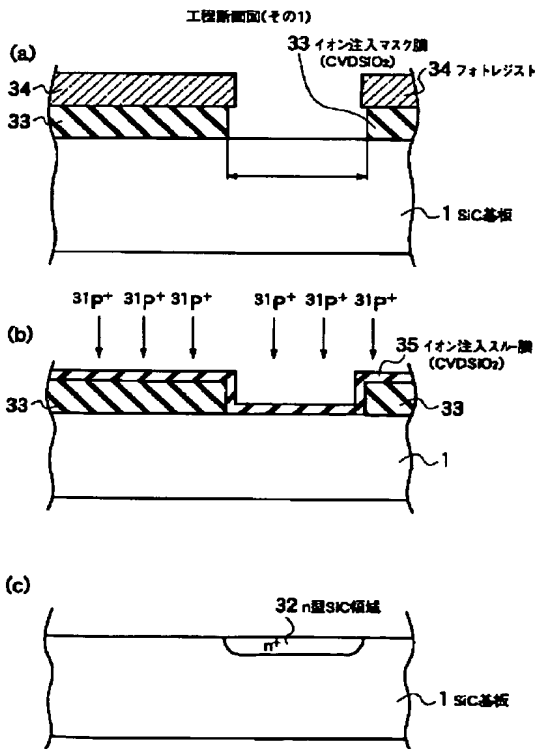
【図1】



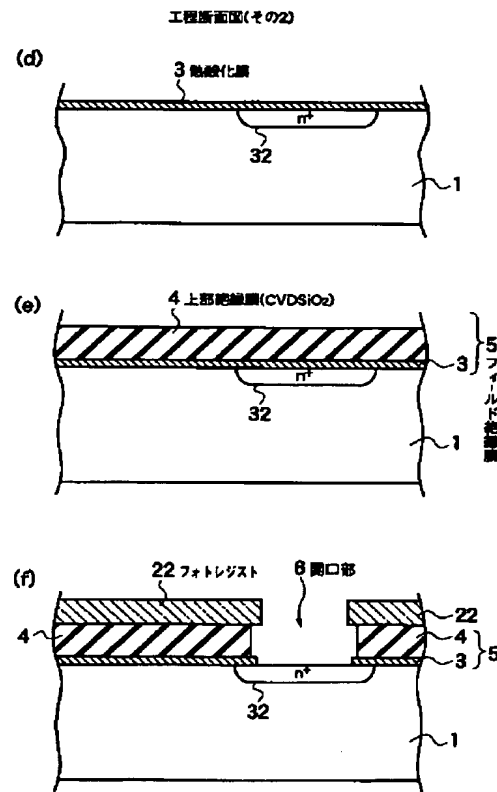
【図9】



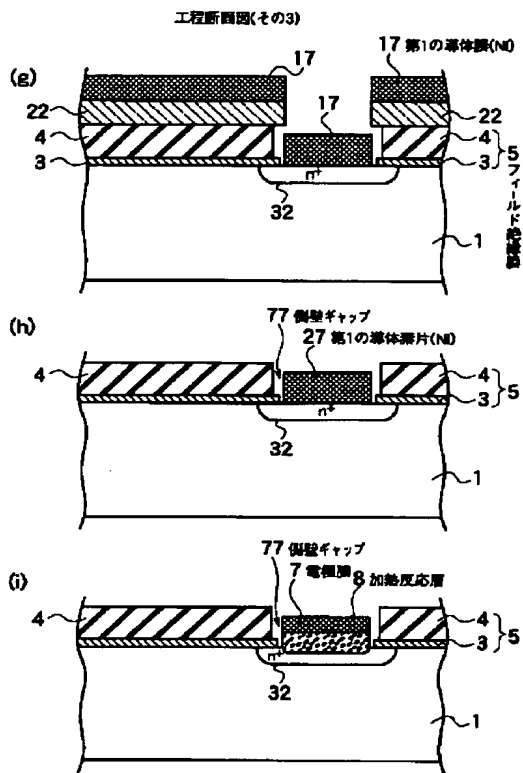
【図2】



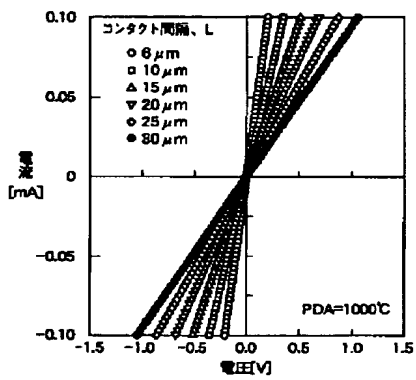
【図3】



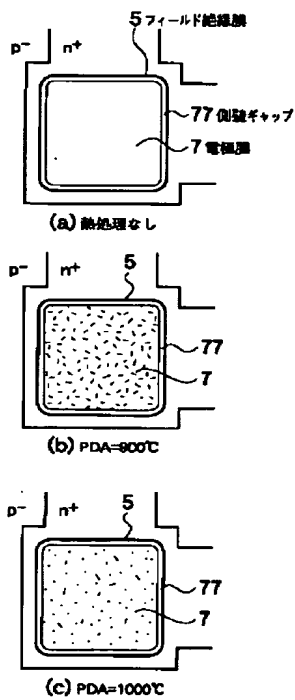
【図4】



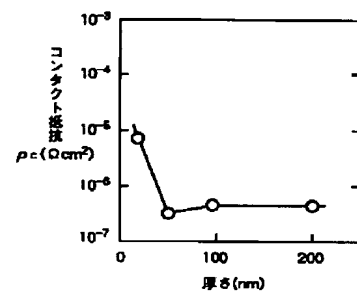
【図5】



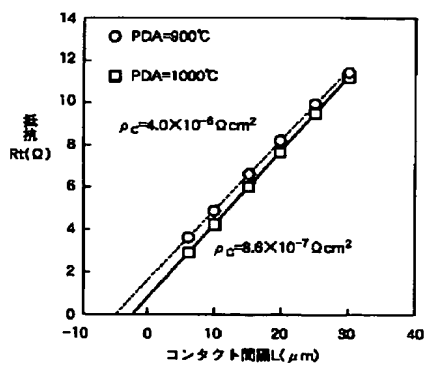
【図7】



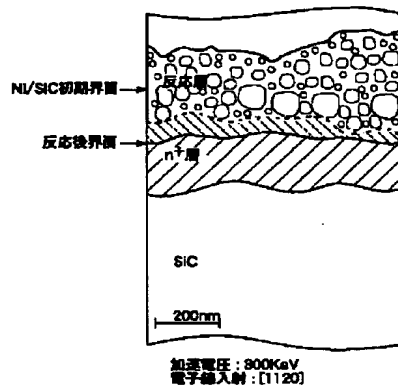
【図11】



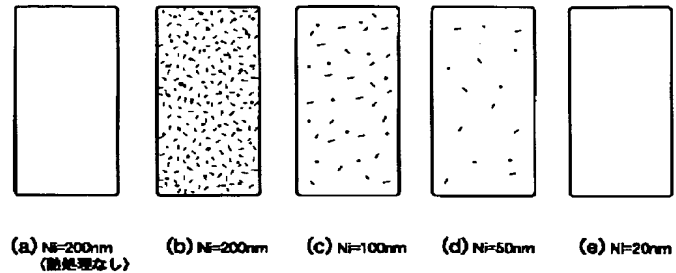
【図6】



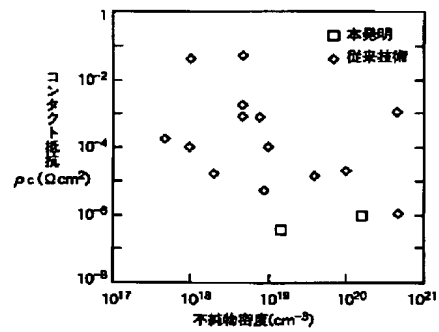
【図8】



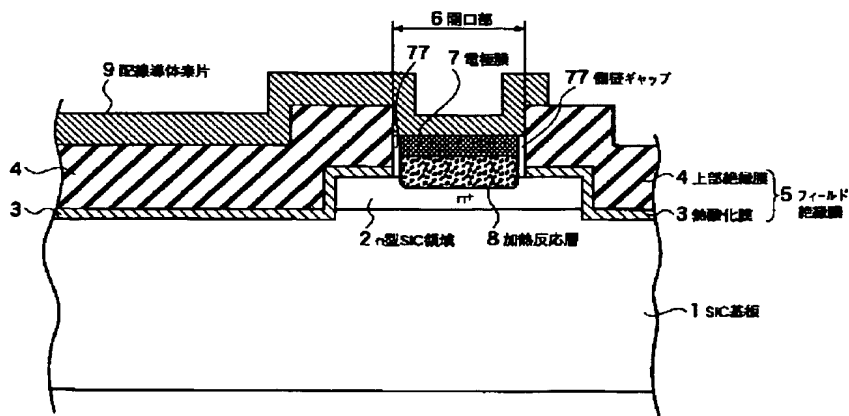
【図10】



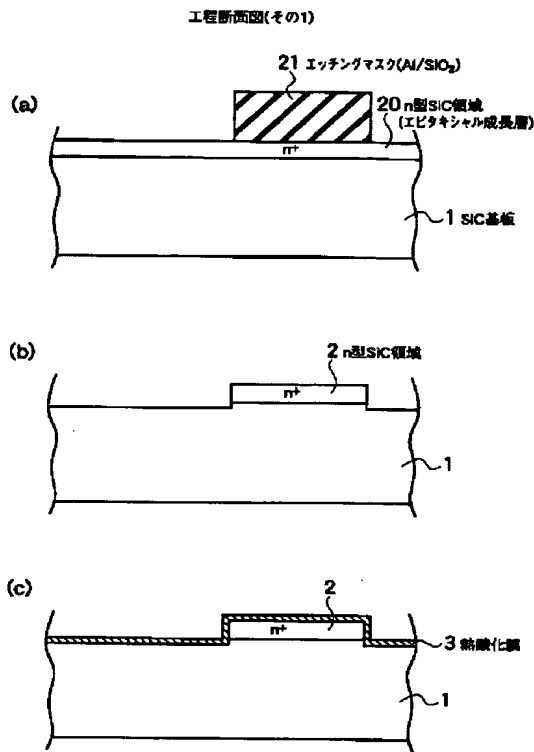
【図12】



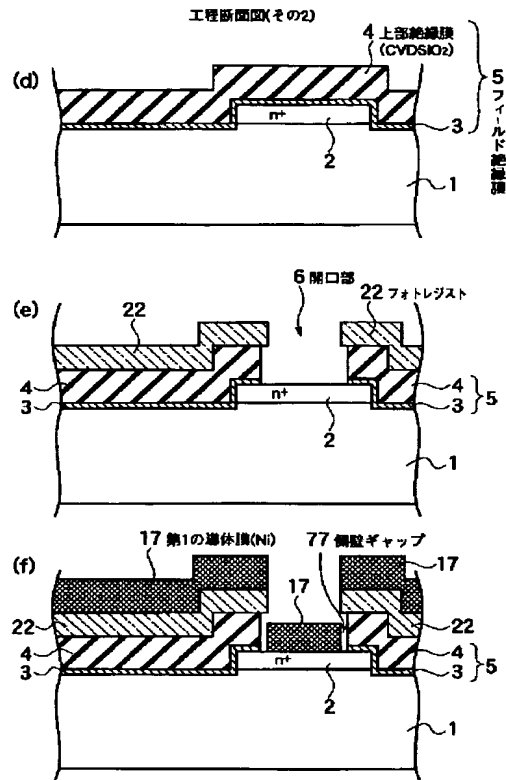
【図13】



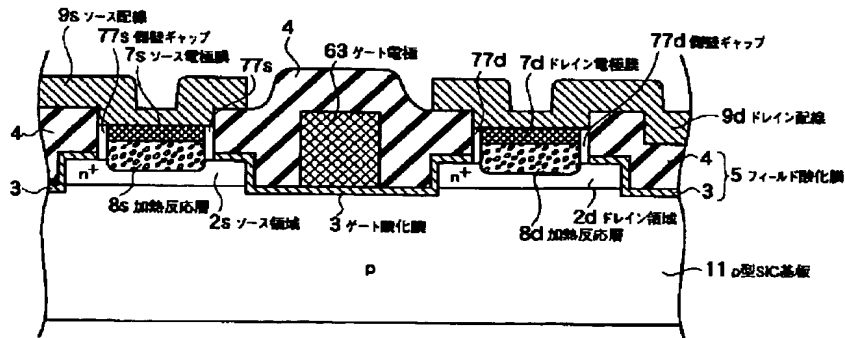
【図14】



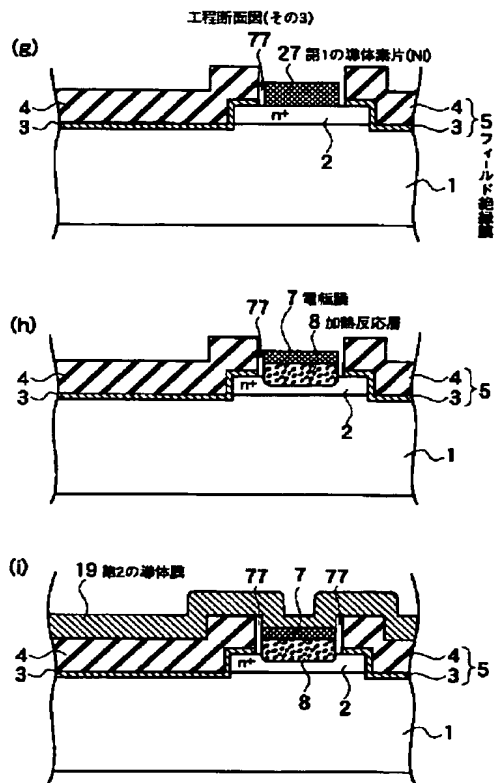
【図15】



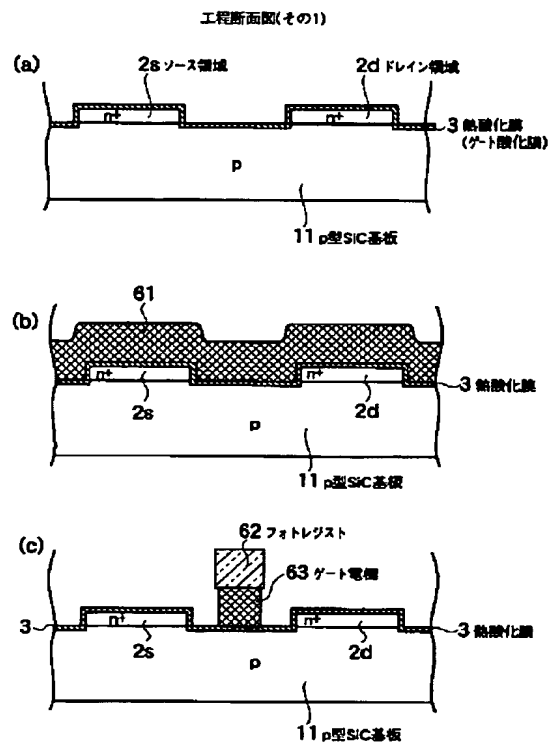
【図17】



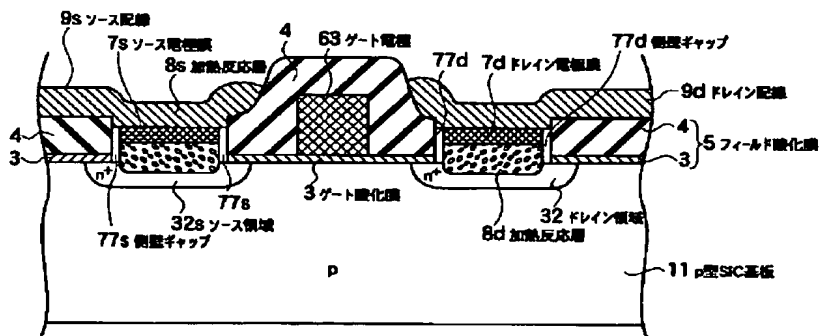
【図16】



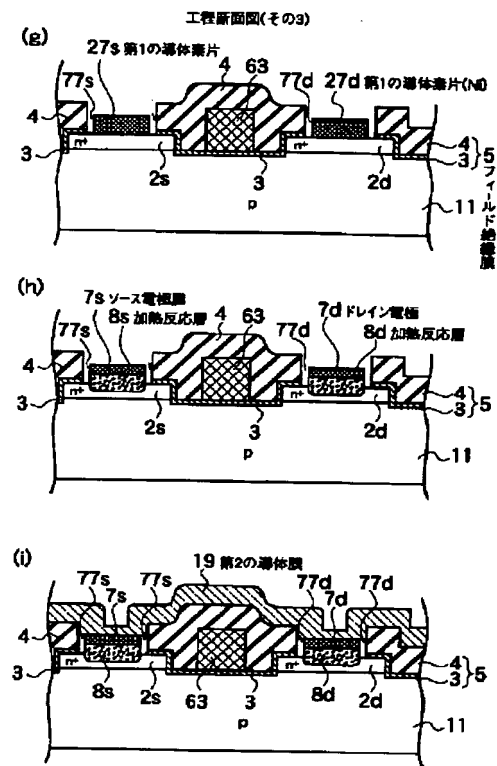
【図18】



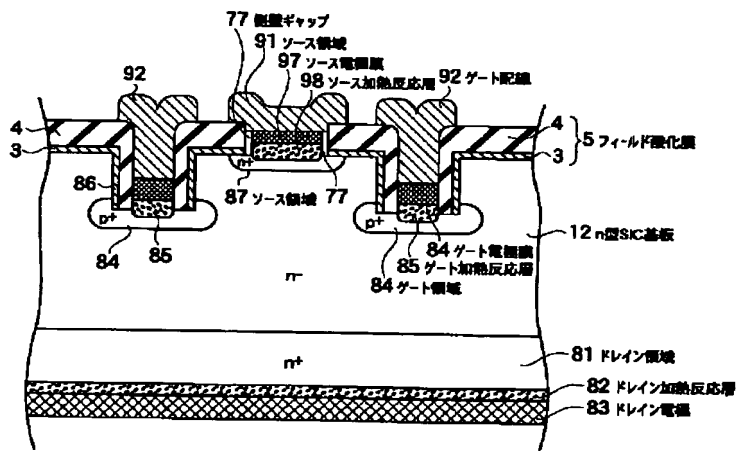
【図21】



【圖20】

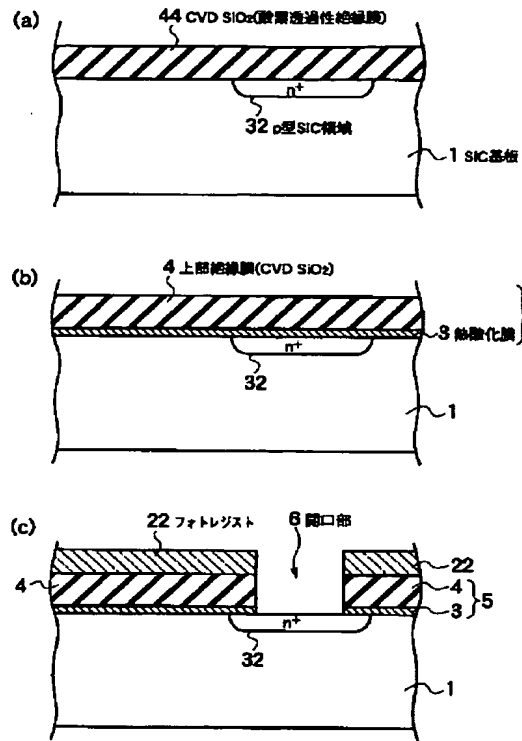


【圖 22】

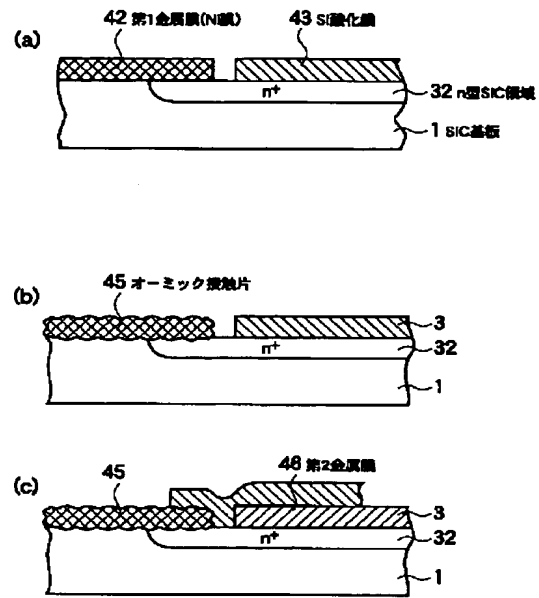




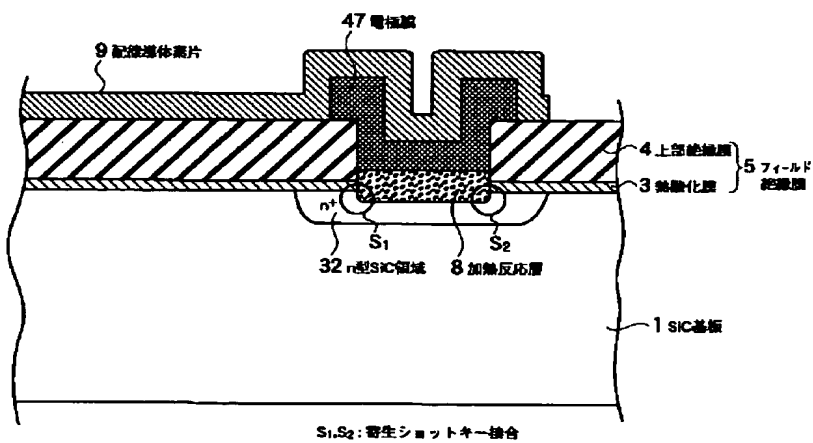
【図23】



【図25】



【図24】



## フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターム (参考)
H 0 1 L 29/74		H 0 1 L 29/74	M
29/744			C
29/78		29/78	3 0 1 B
21/336			3 0 1 P
29/78	6 5 2	29/80	F
21/338			V
29/812		29/91	A
29/80			
21/329			

(72)発明者 谷本 智  
 神奈川県横浜市神奈川区宝町 2 番地 日産  
 自動車株式会社内

F ターム (参考) 4M104 AA03 BB13 BB14 BB21 BB24  
 BB25 BB26 BB27 BB28 CC01  
 CC05 DD02 DD08 DD09 DD10  
 DD11 DD16 DD17 DD19 DD22  
 DD26 DD34 DD35 DD68 DD78  
 DD84 FF01 FF13 FF28 GG02  
 GG03 GG06 GG07 GG09 GG12  
 GG18 GG20 HH09 HH11 HH14  
 HH15 HH16 HH18  
 5F003 BH05 BM01 BP11 BP21 BP24  
 BP41 BP46 BZ01 BZ02 BZ03  
 BZ04  
 5F005 AA03 AB03 AC02 AE01 AE07  
 AF02 AH03 AH04 BA02 BB02  
 GA01  
 5F040 DA00 DC02 EC04 EC20 ED01  
 ED03 ED04 EF09 EH02 EK05  
 FC23  
 5F102 FB01 GB04 GC08 GC09 GD01  
 GD04 GJ02 GR01 GR04 GS04  
 GV07 HC07 HC11 HC15 HC21